

طراحی و شبیه‌سازی مبدل ترنری به باینری بهینه شده بر پایه ترانزیستورهای اثر میدان نانو لوله کربنی

سید سعید موسوی^۱ دانشجوی کارشناسی ارشد، موسی یوسفی^۲ استادیار، خلیل منفردی^۳ دانشیار

۱- گروه مهندسی برق، دانشگاه شهید مدنی آذربایجان، تبریز- s.moosavy@azaruniv.ac.ir

۲- گروه مهندسی برق، دانشگاه شهید مدنی آذربایجان، تبریز- m.yousefi@azaruniv.ac.ir

۳- گروه مهندسی برق، دانشگاه شهید مدنی آذربایجان، تبریز- khmonfaredi@azaruniv.ac.ir

چکیده: این مقاله یک مبدل ترنری به باینری چندرقمی بهینه شده مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی ارائه می‌دهد. با توجه به ویژگیهای منحصر بفرد ترانزیستورهای اثر میدان نانو لوله کربنی همانند امکان طراحی با ولتاژ آستانه‌های مختلف برای ترانزیستور، طراحی سیستم‌های منطقی چند ارزشی به مراتب ساده‌تر و کم هزینه‌تر می‌باشد. لذا با توجه به اینکه سیستم‌های پردازشی موجود با مبنای دو کار می‌کنند طراحی مبدل‌های باینری به ترنری و برعکس، سیستم‌های پردازشی بسیار مهم و اساسی است. در این مقاله با اصلاح در بخشی از ساختار مداری مبدل ترنری به باینری سه‌رقمی کارایی سیستم افزایش یافته است. اصلاح مدار باعث کاهش سطح اشغالی تراشه، کاهش توان مصرفی و کاهش تاخیر مدار شده است. عملکرد مناسب و کارایی بهینه مبدل پیشنهادی با استفاده از شبیه‌سازی توسط نرم‌افزار HSPICE و بر مبنای ترانزیستور 32 CNTFET نانومتر تأیید شده است. نتایج شبیه‌سازی نشان می‌دهد که مبدل ترنری به باینری ۳ به ۵ بهینه دارای توان مصرفی ۰/۶۶۵ و تاخیر انتشار ۲۷/۳ پیکوثانیه است. این نتایج نشان می‌دهد به طور کلی شاخص PDP به میزان ۱۴/۴ درصد بهبود یافته است.

واژه‌های کلیدی: مبدل ترنری به باینری، منطق چند ارزشی، ترانزیستورهای اثر میدانی نانو لوله کربنی

Design and simulation of an optimized Ternary-to-Binary converter based on carbon nanotube field effect transistor

Seyed Saeed Moosavy, MSc student¹, Mousa Yousefi, Assistant professor², Khalil Monfaredi, Associate Professor³

1- Faculty of Engineering, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: s.moosavy@azaruniv.ac.ir

2- Faculty of Engineering, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: m.yousefi@azaruniv.ac.ir

3- Faculty of Engineering, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: khmonfaredi@azaruniv.ac.ir

Abstract: This paper presents an optimized multi-digit Ternary to Binary converter based on nano-carbone tubes field-effect transistors. By modifying a part of the circuit structure of the ternary-to-binary converter, the efficiency of the system has increased. Due to the unique features nanotubes carbon tubes feild effect transistors, as well as the possibility of designing different threshold voltages for transistors, designing multi-level logic systems is much simpler and less costly. Therefore, considering that the existing processing systems work on a dual basis, the design of binary to bernary converters and vice versa is very important and basic processing systems. Therefore, considering that the existing processing systems work on a binary, the design of binary to turner and turner to binary converters is very important and fundamental in processing systems. The circuit modification has reduced chip occupancy, reduced power consumption, and reduced circuit latency. The proper and optimal performance of the proposed converter have been confirmed by simulation by HSPICE software based on 32 nm CNTFET transistor. The simulation results show that the optimal terbmary to binary converter has a power consumption of 0.665 μ W and a propagation delay of 27.3 ps. These results show that overall PDP index has improved by 14.4%.

Keywords: Ternary to Binary Converter, Multi level Logic, carbon nanotube field effect transistors

۱- مقدمه

داده‌های بزرگ به یک گام چرخشی روبه‌جلو از تحلیل داده‌های سنتی نیاز دارد که با سه مؤلفه اصلی‌اش توصیف می‌شود: تنوع یا گوناگونی، حجم و سرعت.

- تنوع و گوناگونی: تنوع، داده‌های بزرگ را واقعاً وسعت می‌بخشد. داده‌های بزرگ معمولاً به سه نوع مختلف طبقه‌بندی می‌شوند: ساختاریافته، نیمه‌ساختاریافته، بدون ساختار. داده‌های ساختاریافته در یک انبار داده از قبل برچسب زده شده، جاگذاری شده و به راحتی ذخیره می‌شود. اما داده‌های بدون ساختار، تصادفی هستند و تحلیل آن‌ها دشوار است. داده‌های نیمه‌ساختاریافته، با فیلدهای ثابت تطبیق داده نمی‌شوند اما شامل برچسب‌هایی جهت جداسازی عناصر داده می‌باشند.

- حجم: حجم یا اندازه داده، هم اکنون بزرگ‌تر از ترابایت و پتابایت است. مقیاس بزرگ و پیشرفت داده‌ها، روش‌های سنتی ذخیره سازی و تکنیک‌های تحلیل را پشت سر می‌گذارد.

- سرعت: سرعت نه تنها لازمه داده‌های بزرگ است، بلکه لازمه همه پردازش‌ها است. برای پردازش‌های محدود به زمان، داده‌های بزرگ باید مورد استفاده قرار بگیرد، همانطور که در سازماندهی به منظور به حداکثر رساندن ارزش خود، جریان دارد. در کنار کثرت این اطلاعات، مؤلفه دیگر، تصدیق جریان داده است. کنترل داده بزرگ مشکل است، بنابراین امنیت داده باید تأمین شود. به علاوه پس از تولید و پردازش داده بزرگ، باید یک مقدار اضافه جهت سازماندهی ایجاد کند.

همانطور که از بررسی‌ها دیده می‌شود، تجزیه و تحلیل داده‌های حجیم هنوز به توجه بیشتر نیاز دارد. تجزیه و تحلیل داده‌های حجیم می‌تواند به صدها سرور نیاز داشته باشد که با نرم افزار موازی به شکل انبوه اجرا می‌شود. آن چیزی که داده‌های حجیم را جدا از تنوع و حجم و سرعت آوازا " متمایز می‌کند، پتانسیل تحلیل آن برای آشکارسازی بینش های جدید جهت بهینه‌سازی تصمیم‌گیری است.

بنابر آنچه که گفته شد بر اساس ویژگی‌های داده‌های بزرگ، نیاز به خطوط انتقال داده‌ای مناسب بیش از پیش احساس می‌شود. خطوط انتقال داده‌ی مرسوم، داده‌های بزرگ را به صورت باینری انتقال می‌دهد. از این رو، تعداد وسیعی از خطوط انتقال موردنیاز است. به‌منظور رفع این مشکل، این مقاله سعی دارد یک مبدل ترنری به باینری چند رقمی و بالعکس پیشنهاد دهد که داده‌های بزرگ را در ابتدا از منطق باینری به منطق ترنری تبدیل کند و سپس اقدام به انتقال این حجم وسیع از داده کند. به همین علت داده‌ها از نظر حجم کاهش یافته و همچنین نیاز به خطوط انتقال داده در حجم وسیع کاهش می‌یابد. این روش علاوه بر کوچک‌سازی داده‌ها، کاهش تعداد خطوط انتقال مزایایی از قبیل کاهش توان مصرفی، کاهش سطح تراشه، کاهش تاخیر انتقال داده‌های بزرگ را در پی دارد.

در دهه‌های گذشته، فناوری CMOS نقشی اساسی در پیشبرد اقتصاد جهانی داشته است و کوچک کردن اندازه آن استراتژی اساسی برای بهبود عملکرد ترانزیستورها بوده است. فرآیندهای ساخت CMOS دهه‌ها از کوچک سازی با مزایایی از قبیل کاهش مصرف توان، کاهش سطح اشغالی تراشه و افزایش سرعت پشتیبانی کرده‌است. با این حال، تا سال ۲۰۱۶، طول گیت MOSFET کمتر از ۱۰ نانومتر خواهد بود و در این تکنولوژی‌های در مقیاس نانو، هم با محدودیت‌های اساسی و هم با چالش‌های فناوری روبرو هستند [۱]. اکنون، آن‌ها به سرعت در حال نزدیک شدن به حدمجاز خود هستند. علاوه بر این مشکلاتی مانند دشواری ساخت، حساسیت به تغییرات فرآیند در مقیاس نانو، اثرات کانال کوتاه شدید، جریان نشتی، اثر میدان زیاد، نوسان تزریق ناپایدار، اشباع سرعت، محدودیت‌های لیتوگرافی و اثر محدودیت کوانتومی، زبری لبه خط در طول کانال تأثیر مهمی بر عملکرد MOSFET خواهد داشت. همچنین ساختارهای ترانزیستوری دیگری مانند فناوری سه‌گیت، فناوری MOSFET دوجداره و سیلیکون روی عایق وجود دارد، اما یک مشکل عمده در ساخت این فرآیندها است.

طبق قانون مور [۲]، تعداد ترانزیستورها روی یک تراشه طی سه دهه گذشته از هزاران به چندین میلیارد افزایش یافته‌است. بنابراین، برای تداوم قانون مور یافتن دستگاه‌های جدید در مقیاس مولکولی که بتوانند با فراهم آوردن قابلیت‌های جدید پلتفرم سیلیکون موجود، یا حتی ممکن است جایگزین فناوری CMOS^۲ سیلیکون موجود شوند و اجازه دهند مقیاس‌گذاری دستگاه تا مقیاس اتمی ادامه یابد، بسیار ضروری است [۳]. این یک واقعیت مشهور است که چند سال اخیر شاهد افزایش قابل توجهی در تحقیقات نانوالکترونیک بوده است، جایی که بسیاری از امکانات در قالب ساختارهای مختلف دستگاه مانند ترانزیستور اثرمیدان چندگیتی، FinFET، نانو سیم و غیره ظاهر می‌شود که تنها چند مورد نام برده‌شده. با این حال، در میان همه این‌ها، نانولوله‌های کربنی به دلیل قابلیت انتقال بالستیک، قطر بسیار باریک چند نانومتری، مهندسی احتمالی خصوصیات الکترونیکی و ظرفیت حمل جریان زیاد، به عنوان نویدبخش ترین ماده نانو ساختار برای تحقق ترانزیستورهای نانو الکترونیک در نظر گرفته می‌شود. [۴].

فناوری ترانزیستور اثرمیدان نانولوله کربنی محدودیت‌های فناوری CMOS را کاهش می‌دهد [۵،۶]. ترانزیستور اثرمیدان نانولوله کربنی یک دستگاه سه ترمینالی است که شامل یک نانولوله نیمه‌رسانا است که دو اتصال سوسر و درین را فراهم می‌کند و به عنوان یک کانال حامل عمل می‌کند، که از طریق اتصال سوم، گیت، به صورت الکترواستاتیکی روشن یا خاموش می‌شود.

علاوه بر این، طراحی مدارهای مبتنی بر CNTFET^۳ از تحرک پذیری برابر برای هر دو ترانزیستور نانولوله کربنی نوع P و نوع N بهره‌مند می‌شود که منجر به کاهش پیچیدگی طراحی مدار می‌شود [۷]. این اولین بار در سال ۱۹۹۸ ساخته شد و از آن زمان تاکنون مسیری طولانی را طی کرده است. CNFET به دلیل ویژگی‌های الکترونیکی و

که منطق چندارزشی مبتنی بر روش طراحی چند ولتاژ آستانه است و CNTFET توانایی قابل توجهی در تغییر ولتاژ آستانه از طریق تنظیم قطر نانولوله‌ها دارد، مطالعات زیادی در این زمینه انجام شده است. اولین مبدل باینری به ترنری چند رقمی مبتنی بر CNTFET نیز در مرجع [۱۸] ارائه شده است که این مبدل ترنری به باینری چندرقمی برای منطق ترنری نامتعادل است. همچنین اخیراً یک مبدل ترنری به باینری چندرقمی مبتنی بر ترانزیستورهای نانولوله کربنی ارائه شده است که می‌توان گفت این مبدل، اولین نوع مبدل چندرقمی است که نه تنها منطق ترنری را به باینری تبدیل می‌کند، بلکه از نوع خاص و بروزی از فناوری به نام CNTFET استفاده می‌کند [۱۷]. در این مقاله سعی بر این است که مبدل ارائه شده در مرجع [۱۷] را با تغییراتی در ساختار، از لحاظ تاخیر و توان مصرفی بهبود یابد. الگوریتم مورد استفاده برای تبدیل منطق ترنری به باینری چندرقمی در این مقاله بیان شده است. سپس، دیاگرام مناسبی برای طراحی مبدل ترنری به باینری سه‌رقمی بررسی می‌شود و همچنین عملیاتی برای بهبود کارایی سیستم از جمله کاهش سطح اشغالی تراشه، کاهش توان مصرفی و کاهش تاخیر مدار صورت می‌گیرد. برخی از گیت‌های جدید از جمله گیت رمزگشا-یک و گیت رمزگشا-دو، و همچنین نیم‌جمع‌کننده و تمام‌جمع‌کننده باینری، با هدف اجرای بلوک دیاگرام پیشنهادی بررسی شده‌اند، که در گام بعدی هدف بهینه‌سازی این مدارات پیشنهادی از نظر تعداد ترانزیستور و توان مصرفی و تاخیر کل می‌باشد.

در بخش ۲ این مقاله مروری بر ساختار و مشخصات ترانزیستورهای نانولوله کربنی ارائه شده است. الگوریتم تبدیل پیشنهادی و طراحی قطعات مورد نیاز و بهینه‌سازی مدارها در بخش ۳ ارائه شده است. بخش ۴ شامل نتایج شبیه‌سازی و مقایسه با کارهای قبلی است. سرانجام بخش ۵ مقاله را با نتیجه‌گیری به پایان می‌رساند.

۲- ترانزیستور اثر میدان نانولوله کربنی و کاربرد آن در منطق ترنری

نانولوله کربنی که در سال ۱۹۹۱ توسط S. Iijima کشف شد، صفحه‌ای از اتم‌های کربن مرتب شش ضلعی است که در لوله‌ای به قطر چندنانومتر جمع شده و طول آن می‌تواند چندین میکرون باشد. گرافن یک صفحه واحد از اتم‌های کربن است که در ساختار لانه زنبوری شناخته شده قرار گرفته است [۲۰]. نانولوله‌های کربنی را می‌توان به نانولوله‌های کربنی تک‌جداره که از یک سیلندر تشکیل شده است و نانولوله‌های کربنی چندجداره که از بیش از یک سیلندر تشکیل شده‌اند، طبقه‌بندی کرد [۲۱].

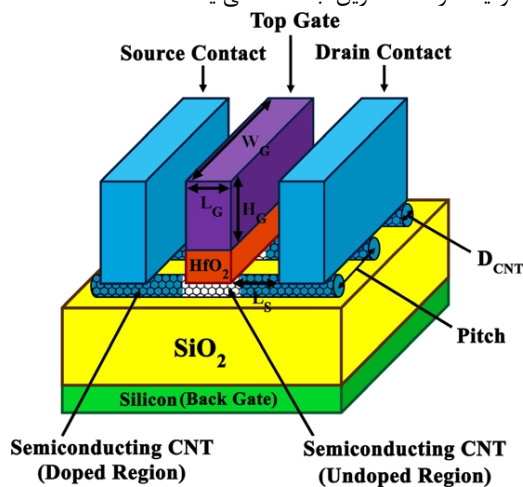
نانولوله‌های کربنی تک‌جداره ممکن است بسته به بردار کایرالیته، $(n1, n2)$ خواص نیمه هادی یا فلزی (رسانا) خود را نشان می‌دهد که بسیاری از مشخصات فیزیکی و الکتریکی نانولوله‌های کربنی را مشخص می‌کند. بنابراین، اگر بردار کایرالیته به عنوان $k \approx 3(n1 - n2)$ در نظر گرفته شود، (k) یک عدد صحیح است، نانولوله‌های کربنی تک‌جداره

ساختاری استثنایی مانند تحرک پذیری بالای حامل‌ها، انتقال شبه تک‌بعدی (بالستیک) الکترون‌ها (و احتمالاً حفره‌ها)، جریان درایو بالاتر (سه تا چهار برابر بیشتر از MOSFET)، ترانسپانسی بزرگ (چهار برابر)، سرعت کلید زنی بالا، خازن ذاتی کم، شیب زیر آستانه نزدیک ایده‌آل، تاب‌آوری در دمای بالا، کنترل الکترواستاتیک عالی، اتلاف حرارت کمتر، مقاومت تماس مناسب و پیوند کووالانسی قوی توانایی جایگزینی با MOSFET‌ها را دارند [۹، ۸، ۱۰]. علاوه بر این، ساختار فیزیکی و اصل کار CNTFET ملامتاً مشابه CMOS موجود است و می‌توان با استفاده از زیرساخت‌های CMOS موجود، آن را ساخت. باتوسعه و پیشرفت مدارات دیجیتال طول و پیچیدگی اتصالات داخلی و همچنین سطح چپ مورد نیاز جهت پیاده‌سازی این مدارات، افزایش پیدا کرده است. از طرفی تعبیه کردن سیستم‌های چندگانه در یک تک آی‌سی، افزایش توان مصرفی و کاهش سرعت پردازش اطلاعات را به دنبال خواهد داشت [۱۱]. بدین منظور دست یافتن به روشی که مشکل پیچیدگی اتصالات داخلی را بدون تخریب پارامترهای توان و سرعت، بهبود بخشد امری ضروری می‌باشد. مدارات دیجیتال چند ارزشی با افزایش تعداد سطوح ارزش‌های منطقی از دو سطح به بیش از دو سطح طراحی می‌شوند. افزایش سطوح ارزش‌های منطقی منجر به کاهش طول و پیچیدگی اتصالات داخلی می‌شود. این کاهش در تعداد اتصالات داخلی بدین صورت است که M اتصال در حالت باینری را به معکوس \log_2 اتصال در حالت چندارزشی کاهش می‌دهد [۱۲]. منطق چندارزشی به رغم ویژگی‌های قابل توجهی چون افزایش سرعت و کاهش حجم و توان مصرفی مدار، به دلیل مشکلاتی که در پیاده‌سازی ایجاد می‌کند کمتر مورد استفاده طراحان مدارهای منطقی قرار گرفته است. اما فناوری‌های جدید ارائه شده در سال‌های اخیر همچون ترانزیستورهای نانولوله کربنی و ترانزیستورهای تک الکترونی تسهیل پیاده‌سازی این نوع مدارها و رفع بعضی مشکلات آن‌ها، باعث توجه بیش از پیش طراحان به این منطق شده‌اند. علاوه بر این استفاده از این فناوری‌ها در مقایسه با ترانزیستورهای سیلیکونی کارایی بهتری نیز برای مدارهای منطقی ایجاد می‌نماید [۱۳].

منطق چندارزشی بیش از دو مقدار منطقی را به کار می‌برد. این به عنوان یک راه‌حل مناسب برای اتصال پیچیدگی مدارها و سیستم‌های مختلف در نظر گرفته شده است. سادگی و کارایی طراحی، کاهش سطح تراشه، نرخ بالای انتقال داده سریال و موازی و پتانسیل بالا برای افزایش سرعت محاسبات از دیگر ویژگی‌های جالب منطق چندارزشی است [۱۴]. بنابراین، مبدل‌های ترنری به باینری و باینری به ترنری اجزای اساسی برای سیگنال‌دهی ترنری در خطوط انتقال داده‌های بزرگ و مدارهای پردازش منطق باینری هستند. طراحی مبدل ترنری به باینری سه‌رقمی با استفاده از MOSFET‌های گیت شناور چندورودی برای منطق ترنری متعادل توسط Venkata [۱۵] و Subramania [۱۶] پیشنهاد شده است. علاوه بر این، مبدل ترنری به باینری در QCA توسط Arjmand و همکاران در نانوالکترونیک ارائه شده است [۱۷]. از آنجا

صورتی که انرژی کافی داشته باشند، می‌توانند از این سد تونل بزنند. بنابراین در این حالت دو سد شاتکی بر سر انتقال الکترون‌ها وجود دارد. الکترون‌هایی که نتوانند از سد دوم عبور کنند، دوباره به دورن کانال بازتابش می‌شوند و حرکت سایر الکترون‌های عبوری را دشوارتر می‌کنند. با توجه به آنچه بیان شد، برای محاسبه جریان ترانزیستور در این حالت، باید احتمال تونل زنی الکترون‌ها از هر دوی سد شاتکی محاسبه شود و همچنین باید اثرات بازتابش الکترون‌ها هم در نظر گرفته شود.

در صورتی که ولتاژ گیت و درین با هم برابر باشند، سد شاتکی در سمت درین از بین می‌رود و جریان ترانزیستور فقط ناشی از تونل زنی الکترون‌ها از سد موجود در ناحیه‌ی اتصال سورس می‌باشد. در صورتی که ولتاژ درین از ولتاژ گیت بیشتر شود، در سمت درین، یک سد شاتکی در باند ظرفیت ایجاد می‌شود. این سد امکان تونل زنی حفره‌ها از اتصال درین به باند ظرفیت نانولوله را میسر می‌سازد. بدین ترتیب در این حالت جریان ترانزیستور از حاصل جمع جریان‌های تونل زنی ناشی از الکترون‌ها از باند هدایت در سمت سورس و حفره‌ها از باند ظرفیت در سمت درین، به دست می‌آید.



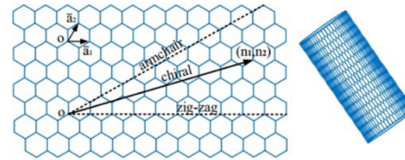
شکل (۲): ساختار کلی یک CNFET [۲۳]

عرض گیت CNFET را می‌توان براساس معادله (۱) محاسبه کرد [۲۴]:

$$W_{gate} = \min(W_{min} \cdot (N - 1) \text{Pitch} + D_{CNT}) \quad (1)$$

جایی که W_{min} حداقل عرض گیت و N تعداد نانولوله‌های کربنی در زیرگیت است. CNFET مانند MOSFET نیز دارای ولتاژ آستانه است که ولتاژ لازم برای روشن کردن ترانزیستور به صورت الکترواستاتیکی از طریق گیت می‌باشد. یک ویژگی عالی CNFET این است که ولتاژ آستانه مورد نیاز را می‌توان برای CNFET با در نظر گرفتن قطر مربوط به نانولوله‌های آن تعیین کرد. این به دلیل وابستگی مستقیم باند انرژی نانولوله‌های کربنی است که اندازه ولتاژ آستانه CNFET وابسته به قطر نانولوله‌ها است. این ویژگی عملی باعث می‌شود CNFET برای طراحی مدارهای چند سطحی بسیار مناسب باشد. ولتاژ آستانه CNFET طبق معادله (۲) محاسبه می‌شود [۲۴]:

رفتار نیمه‌رسانایی را نشان می‌دهد که عمدتاً برای ساخت کانال ترانزیستور در نظر گرفته می‌شود، در غیر این صورت، رفتار فلزی‌مانند را نشان می‌دهد که برای اجرای اتصالات مقیاس نانو در تراشه به کار گرفته می‌شود [۹]. یک ورق گرافیت و یک ساختار شبکه نانولوله کربنی نورد شده در شکل (۱) نشان داده شده است. همانطور که در شکل ۱ مشاهده می‌شود، n_1 و n_2 نمایانگر شاخص‌های بردار کایرالیته نانولوله‌های کربنی هستند [۶].



شکل (۱): ورق گرافیت و ساختار شبکه نانولوله کربنی نورد شده [۶]

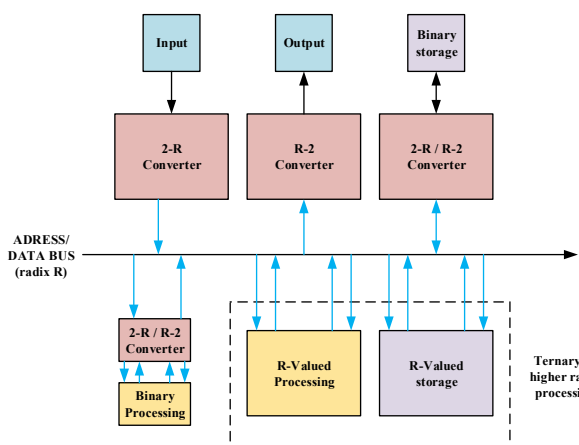
روند اندازه‌بندی ترانزیستور در طراحی‌های مبتنی بر CNFET در مقیاس سه با طرح‌های مبتنی بر MOSFET، به ویژه برای مدارهای بزرگ‌تر و پیچیده، پیچیدگی کمتری دارد. این امر به این دلیل است که برخلاف MOSFET، الکترون‌ها و حفره‌ها دارای تحرکات یکسان در نانولوله‌های کربنی هستند ($\mu_n = \mu_p$) [۲۲]. هدایت بالستیک و همچنین ساختار یک بعدی نانولوله‌های کربنی مقاومت را کاهش می‌دهد و سرعت را به میزان قابل توجهی افزایش می‌دهد و اتلاف انرژی سیستم را به حداقل می‌رساند و چگالی مصرف توان را کاهش می‌دهد. علاوه بر این، برتری اصلی CNFET مانند MOSFET این است که اتصالات کانال درین / سورس آن فاقد مانع است و بنابراین جریان روشن آن به طور قابل توجهی بالاتر است و برای عملکردهای با کارایی بالا بسیار مناسب است. ساختار کلی یک CNFET مانند MOSFET در شکل (۲) نشان داده شده است [۲۳]. همانطور که در شکل (۲) نشان داده شده است، فاصله بین مراکز دو نانولوله کربنی مجاور زیرگیت Pitch نامیده می‌شود، که تأثیر مستقیم بر عرض ترانزیستور دارد.

در این نوع از ترانزیستورها از سورس و درین فلزی استفاده می‌شود و بر اساس تونل زنی مستقیم از طریق سد شاتکی عمل می‌کنند. در این نوع ترانزیستور، نقاط تماس سورس و درین به کانال ذاتی نانولوله متصل است، بنابراین در نقاط تماس، اتصال فلز- نیمه‌رسانا، یک سد شاتکی ایجاد می‌شود.

در این نوع از ترانزیستورها ارتفاع سد شاتکی به اندازه V_{GS} می‌باشد، بنابراین این ارتفاع می‌تواند توسط ولتاژ گیت و درین کنترل شود و در نتیجه رسانایی متقابل این ترانزیستور وابسته به ولتاژ گیت و درین است.

بسته به بایاس اعمال شده، تعداد سدهای شاتکی ایجاد شده و نوع حامل‌هایی که می‌توانند از عرض سد تونل بزنند، متفاوت است. در صورتی که ولتاژ گیت از ولتاژ درین بیشتر باشد، در باند هدایت نانولوله، در محل هر اتصال، یک سد شاتکی وجود دارد و الکترون‌هایی که در سمت سورس از سد شاتکی عبور می‌کنند و به باند هدایت نانولوله وارد می‌شوند، در مقابل سد شاتکی دوم در سمت درین قرار گرفته و در

سیستم‌هایی با منطق چندارزشی و باینری به طور همزمان هستند. برای استفاده از منطق چندارزشی، ساختار یک سیستم مینا مخلوط با استفاده از منطق چندارزشی و باینری در مقایسه با استفاده از تنها منطق چندارزشی یا استفاده از تنها منطق باینری مناسب‌تر است. بنابراین، برای انجام تبدیل مورد نیاز بین سیگنال‌دهی چندارزشی در خطوط انتقال داده و مدارهای پردازش باینری، اطلاعات باید از منطق باینری به یک مقدار چندارزشی و بالعکس تبدیل شوند. طبق مرجع [۱۴]، مبدل ۲ به R و مبدل R به ۲ یکی از بلوک‌های اصلی برای این هدف است. همانطور که در شکل (۳) نشان داده شده‌است، جایی که R مبنای است. همچنین، کامپیوترها در آینده ممکن است به صورت خروجی ترنری طراحی شوند. از این رو، برای مطابقت با منطق باینری، اطلاعات باید از حالت ترنری به باینری و بالعکس تبدیل شوند.



شکل (۳): خطوط انتقال داده با مبنای بالا برای مبدل‌های ۲ به R و R به ۲ [۱۴].

۳-۱- الگوریتم ریاضی مورد استفاده برای مبدل ترنری به

باینری

فرض کنید A یک عدد سه رقمی در مبنای ۳ است که ارقام آن T_0 T_1 T_2 به شرح زیر است:

$$(A)_3 = (T_2 T_1 T_0) \quad (۴)$$

طبق جدول (۲)، برای هر رقم ترنری، همانطور که در معادله (۵) نشان داده شده است، معادل دودویی آن قرار می‌گیرد.

$$(A)_2 = (T_2 \times (1001) + T_1 \times (11) + T_0 \times (1)) \quad (۵)$$

جدول (۲): جدول تبدیل اعداد ترنری به باینری

Ternary number	Binary number	binary
$(T_0)3^0$	2^0	1
$(T_1)3^1$	$1 \times 2^1 \quad 1 \times 2^0$	11
$(T_2)3^2$	$1 \times 2^3 \quad 1 \times 2^2 \quad 1 \times 2^1 \quad 1 \times 2^0$	1001

بر اساس این معادله، برای هر قسمت، اگر T_i برابر با ۰ باشد، مقدار آن قسمت صفر خواهد بود. اگر T_i برابر با ۱ باشد، مقدار آن قسمت معادل

$$V_{th} = \frac{E_{bg}}{2e} = \frac{\sqrt{3}}{3} \frac{aV_{\pi}}{eD_{CNT}} \approx \frac{0.436}{D_{CNT}(nm)} \quad (۲)$$

که در آن e واحد الکترون الکترون است، E_{bg} باند انرژی است، a برابر (0.249 nm) که فاصله‌ی اتم کربن تا کربن است، V_{π} برابر (0.033 eV) که انرژی پیوند $\pi - \pi$ کربن در مدل پیوند محکم و D_{CNT} قطر نانولوله‌ها است. از معادله (۲) می‌توان نتیجه گرفت که ولتاژ آستانه یک ترانزیستور نانولوله‌کربنی با قطر نانولوله‌های آن متناسب است، که براساس معادله (۳) محاسبه می‌شود [24]:

$$D_{CNT} = \frac{a\sqrt{n^2+nm+m^2}}{\pi} \approx 0.0783\sqrt{n^2 + nm + m^2} \quad (۳)$$

اگرچه، از فناوری CMOS برای طراحی مدارهای مجتمع استفاده شده است، اما به منظور افزایش سرعت، کاهش ولتاژ و مصرف توان و همچنین اندازه تراشه، فناوری CMOS باید کوچک شود. علاوه بر این، با کاهش فناوری CMOS به طول کانال زیر ۴۵ نانومتر [۱۰]، برخی از چالش‌های طراحی و ساخت از جمله: افزایش جریان نشتی، محدودیت در فرآیند لیتوگرافی، کاهش قابلیت اطمینان و غیره، در رفتار زیر میکرون عمیق دستگاه‌های CMOS ظاهر می‌شود.

از طرف دیگر، فناوری CNTFET مزایایی نسبت به CMOS دارد که می‌توان به این موارد اشاره کرد: مساحت کم‌تر تراشه، سرعت بالاتر (به دلیل خازن‌های کوچک پارازیتی و انتقال بالستیک حامل‌ها) و مصرف توان پایین. علاوه بر این، ویژگی IV ترانزیستورهای CNTFET مانند MOSFET نشان می‌دهد که مقدار رسانایی در فناوری CNTFET بالاتر از MOSFET با همان ابعاد و شرایط بایاس است که می‌تواند نقش مهمی در بهبود عملکرد کلی مدارهای مجتمع آنالوگ داشته باشد [۲۵]. با توجه به حقایق فوق، با تمرکز بر مزایای اصلی CNTFET نسبت به معایب فناوری CMOS، نشان می‌دهد که CNTFET کاندید مناسبی برای جایگزینی فناوری CMOS در طراحی مدارهای مجتمع آنالوگ است.

۳- طراحی مبدل ترنری به باینری چندرقمی

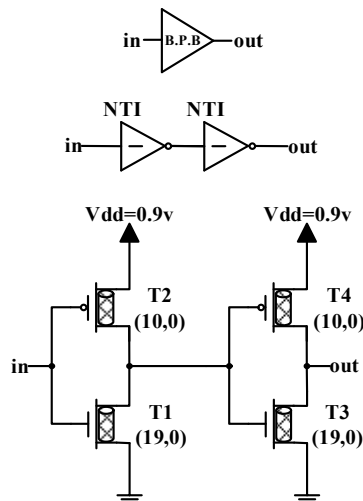
منطق ترنری دارای سه بیت ۰، ۱ و ۲ است که به ترتیب با $V_{DD}/2$ ، V_{DD} و نشان داده می‌شوند. برخی از عملگرهای ترنری، مانند AND، OR و NOT، در مقالات [۲۶، ۲۷] گزارش شده‌اند. سه نوع اینورتر ترنری وجود دارد: اینورتر ترنری منفی (NTI)، اینورتر ترنری استاندارد (STI) و اینورتر ترنری مثبت (PTI). جداول صحت سه اینورتر ترنری در جدول (۱) نشان داده شده است [۲۸].

جدول (۱): جدول صحت STI و PTI و NTI [۲۸]

Input	STI	PTI	NTI
0	2	2	2
1	1	2	0
2	0	0	0

انتقال داده‌های موازی و بزرگ را می‌توان با تبدیل منطق باینری به ترنری با خطوط کمتری در منطق چندارزشی انجام داد. با تبدیل منطق باینری به ترنری و بازگشت دوباره به منطق باینری، می‌توان اتصالات زیاد در خطوط انتقال داده را کاهش داد. سیستم‌های مینامخلوط

اما منطق ۱ و ۲ را به عنوان ۲ نشان می‌دهد. اجرای این کار با قرار دادن دو NTI پشت سرهم آسان است.



Ternary		Binary
in	out	out
0	0	0
1	2	1
2	2	1

شکل (۵): بافر مثبت باینری [۱۷]

۳-۳- گیت رمزگشا-یک

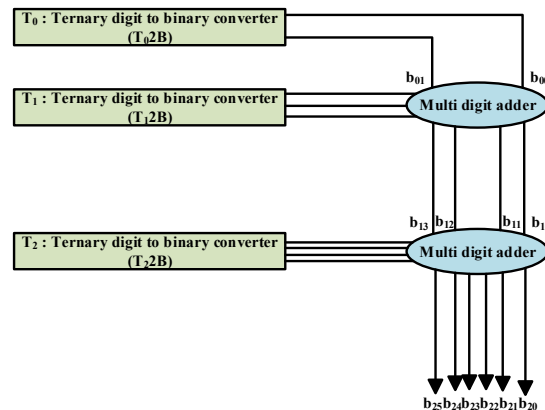
در اینجا، گیت رمزگشا-یک به گیتی گفته می‌شود که وقتی ورودی ۱ باشد، خروجی آن فعال است. بر اساس جدول صحت که در شکل (۶) نشان داده شده‌است، خروجی را می‌توان با استفاده از عملگرهای که در مرجع [30] آورده شده‌اند، نشان داد. عملکرد طراحی گیت رمزگشا-یک را می‌توان در اینجا به شرح زیر نشان داد:

۱. وقتی گره IN صفر باشد، ترانزیستورهای T_1 و T_3 خاموش و ترانزیستور T_2 روشن و VDD به گیت T_4 متصل می‌شود. بنابراین، T_4 روشن می‌شود و صفر توسط ترانزیستور T_4 به $OUT1$ منتقل می‌شود. بنابراین، $OUT1 = 0$ خواهد شد.

۲. وقتی ولتاژ گره IN به $\frac{1}{2}VDD$ افزایش یابد، ترانزیستورهای T_1 و T_3 خاموش می‌شوند و ترانزیستور T_2 روشن می‌شود و VDD به گیت T_4 متصل می‌شود و ترانزیستور T_4 روشن می‌شود و این بار $\frac{1}{2}VDD$ توسط ترانزیستور T_4 به $OUT1$ منتقل می‌شود. از این رو، $OUT1 = 1$ خواهد شد.

۳. وقتی گره IN برابر با VDD باشد، ترانزیستورهای T_1 و T_3 روشن و ترانزیستورهای T_2 و T_4 خاموش می‌شوند. علاوه بر این، $OUT1 = 0$ در اینجا، همانطور که منطق ۱ با $\frac{1}{2}VDD$ در خروجی و در حالت باینری ظاهر می‌شود، VDD لازم است؛ بنابراین، بافر مثبت باینری در خروجی اعمال می‌شود.

باینری 3^i خواهد بود (که در جدول ۲ نشان داده شده است). اگر T_i برابر با ۲ باشد، دو برابر بیشتر از آن مقدار خواهد بود. برای بدست آوردن معادل دودویی عدد، معادل دودویی ارقام باید در مبنای باینری خلاصه شود. همانطور که در شکل (۴) نشان داده شده است، الگوریتم به صورت بلوک دیاگرام رسم شده است. در این شکل، T_i به رقم ترنری اشاره می‌کند و b_i مخفف باینری عدد ترنری با $i + 1$ رقم است. علاوه بر این، رقم b_{ij} رقم i از معادل دودویی ترنری را با $i + 1$ نشان می‌دهد. بخش های $T_i 2B$ مطابق جدول (۲)، رقم یکم ورودی‌های ترنری را به ورودی‌های دودویی تبدیل می‌کنند. سپس جمع‌کننده‌های دودویی چندرقمی آن‌ها را جمع می‌کنند تا معادل باینری ارقام ترنری ورودی را بدست آورند.

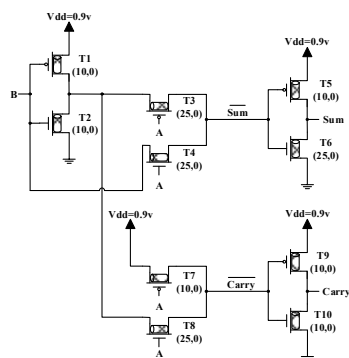


شکل (۴): بلوک دیاگرام الگوریتم تبدیل منطق ترنری به باینری [۱۷]

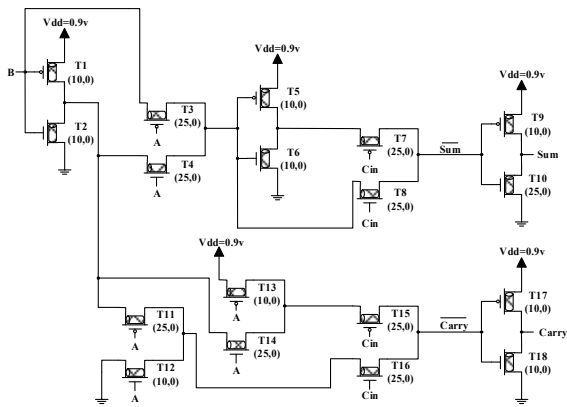
الگوریتم نشان داده شده در شکل (۴) همچنین می‌تواند به تعداد بیت مورد نظر اعمال شود. همانطور که نشان داده شده است، اگر $T_0 = 0$ باشد، معادل دودویی آن برابر $b_{00}, b_{01} = 0$ خواهد بود. از طرف دیگر، اگر $T_0 = 1$ معادل دودویی آن برابر $b_{00}, b_{01} = 1$ خواهد بود. همچنین، اگر $T_0 = 2$ معادل دودویی آن $b_{00} = 0$ و $b_{01} = 1$ خواهد بود. معادل دودویی T_0 با معادل دودویی T_1 جمع می‌شود که توسط $T_1 2B$ ، در مبنای ۲ تولید می‌شود تا این که معادل دودویی عدد ترنری ۲ بیتی به دست آید $(b_{10}, b_{11}, b_{12}, b_{13})$. معادل دودویی $T_1 T_0$ با معادل دودویی T_2 جمع می‌شود که توسط $T_2 2B$ ، تولید می‌شود تا این که معادل دودویی عدد ترنری ۳ بیتی به دست آید $(b_{20}, b_{21}, b_{22}, b_{23}, b_{24}, b_{25})$. به روشی مشابه، الگوریتم می‌تواند بر روی تعداد رقم‌های مورد نظر نیز اعمال شود. بنابراین، مولفه‌های زیر برای نشان دادن مبدل پیشنهادی، تعریف‌ها و اجرای آن مورد نیاز است.

۳-۲- بافر مثبت دودویی

این مدار براساس جدول صحت عمل می‌کند که در شکل (۵) آورده شده‌است. این مدار منطق صفر را به عنوان صفر منتقل می‌کند،



الف



ب

شکل (۸): (الف) نیم‌جمع‌کننده (ب) تمام‌جمع‌کننده [۱۷]

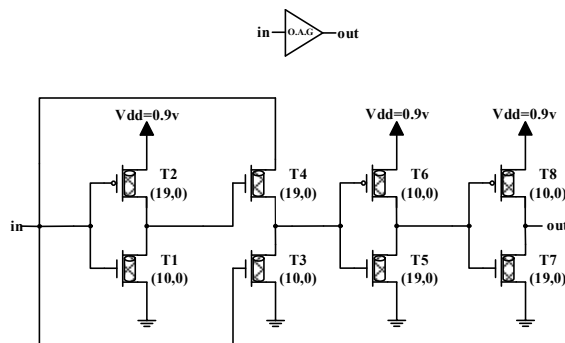
همانطور که نشان داده شده است، ۱۰ ترانزیستور برای نیم‌جمع‌کننده باینری و ۱۸ ترانزیستور برای تمام‌جمع‌کننده باینری از ترانزیستورهای گذر استفاده می‌کند.

۳-۶- مدارهای نیم‌جمع‌کننده و تمام‌جمع‌کننده باینری بهینه

مدارهای نیم‌جمع‌کننده و تمام‌جمع‌کننده که از ترانزیستورهای گذر برای کاهش تعداد ترانزیستورها استفاده می‌کنند، به ترتیب در شکل ۸(الف) و ۸(ب) نشان داده شده است. اما در این مقاله برای بهبود این مدارات از نظر توان مصرفی و تاخیر کل، مدارات بهینه‌ای طراحی شده‌است. مدارهای نیم‌جمع‌کننده و تمام‌جمع‌کننده باینری بهینه، به ترتیب در شکل ۹(الف) و ۹(ب) نشان داده شده است. حتی اگر استفاده از ترانزیستورهای گذر به دلیل سطح ولتاژ پایین همراه با منبع تغذیه کم در فرایندهای ۳۲ نانومتری در CNTFET نمی‌تواند مناسب باشد، با افزایش مقدار قطر CNT می‌توان ولتاژ آستانه را کاهش داد. بنابراین، با انتخاب ولتاژ آستانه کم با افزایش قطر نانولوله‌های کربنی، می‌توان افت ولتاژ را کاهش داد. علاوه بر این، از طریق وارونگی گیت‌ها، می‌توان خروجی‌ها را بافر کرده و سطح ولتاژ را اصلاح کرد.

با این حال، باید توجه داشت که رقم نقلی مطابق معادله (۶) با استفاده از ترانزیستورهای گذر برای کاهش تعداد ترانزیستورها اجرا می‌شود.

$$CARRY = (A \cdot B) \cdot \overline{C_{in}} + (A + B) \cdot C_{in} \quad (۶)$$

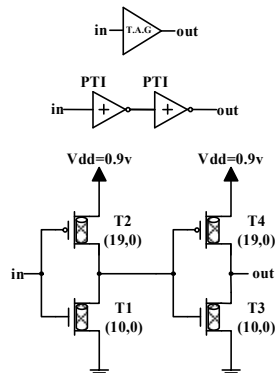


Ternary		Binary	
in	out	in	out
0	0	0	0
1	2	1	1
2	0	0	0

شکل (۶): گیت رمزگشا-یک [۱۷]

۳-۴- گیت رمزگشا-دو

در اینجا، گیت رمزگشا-دو گیتی است که خروجی آن هنگامی که ورودی ۲ باشد فعال است، همانطور که در جدول صحت نشان داده شده است. مطابق شکل (۷) می‌توان آن را به سادگی از طریق دو PTI به صورت سری اجرا کرد. ولتاژ آستانه T_2 و T_4 برابر 0.29 ولت است. از طرف دیگر، برای T_1 و T_3 مطابق با معادله (۲) برابر 0.55 ولت است.



Ternary		Binary	
in	out	in	out
0	0	0	0
1	0	0	0
2	2	1	1

شکل (۷): گیت رمزگشا-دو [۱۷]

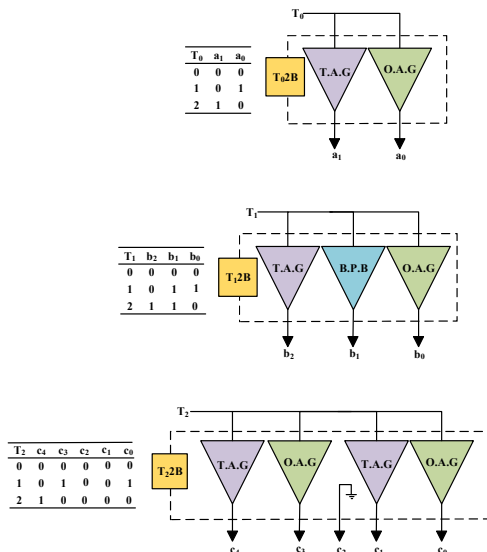
۳-۵- نیم‌جمع‌کننده و تمام‌جمع‌کننده باینری مبدل پیشنهادی

۳-۵-۱- مدارهای نیم‌جمع‌کننده و تمام‌جمع‌کننده باینری با

استفاده از ترانزیستورهای گذر

مدارهای نیم‌جمع‌کننده و تمام‌جمع‌کننده که از ترانزیستورهای گذر برای کاهش تعداد ترانزیستورها استفاده می‌کنند، به ترتیب در شکل ۸(الف) و ۸(ب) نشان داده شده است.

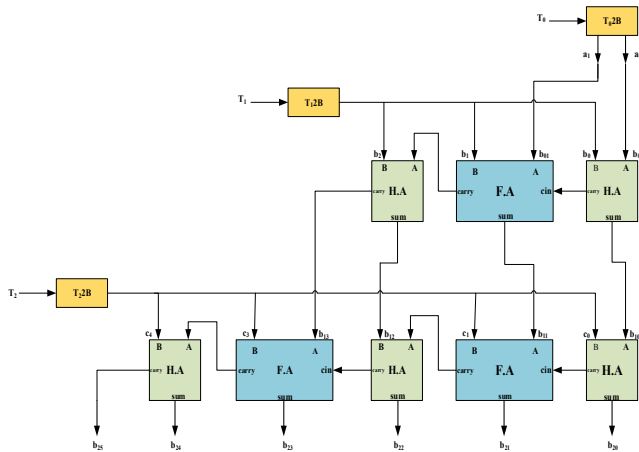
شود وقتی T_0 برابر با ۱ باشد. در نتیجه، یک O.A.G به کار گرفته می‌شود. به طور مشابه، برای ۳ رقم ترنری گزارش شده است، همانطور که در شکل (۱۰) نشان داده شده است.



شکل (۱۰): مدل ترنری به باینری (T_i2B) [۱۷]

۳-۷-۱- مدل ترنری به باینری (T_i2B) چندرقمی

نمودار بلوک پیاده سازی الگوریتم مدل ترنری به باینری چندرقمی در شکل (۱۱) مشاهده می‌شود.



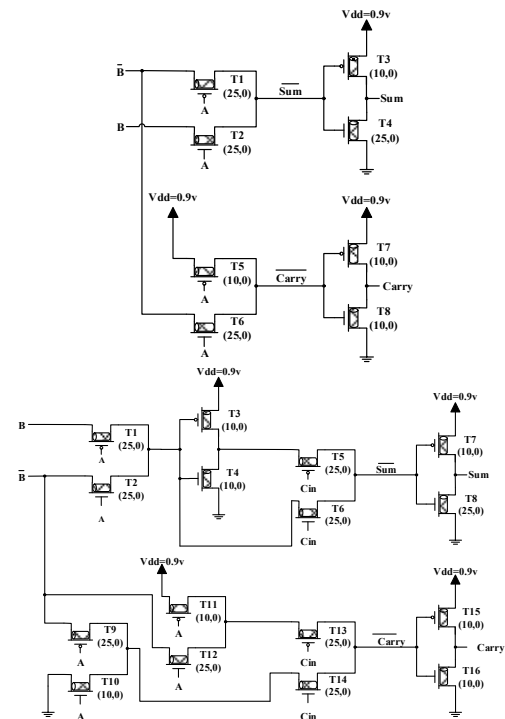
شکل (۱۱): بلوک دیاگرام مدل ترنری به باینری [۱۷]

۳-۸- مدل ترنری به باینری (T_i2B) چندرقمی بهینه

نمودار بلوک پیاده سازی الگوریتم مدل ترنری به باینری چندبیتی در شکل (۱۲) مشاهده می‌شود. همانطور که مشاهده می‌شود، بلوک‌های T_i2B در معادله‌های باینری هر رقم ترنری ظاهر می‌شوند. نیم‌جمع‌کننده‌ها و تمام‌جمع‌کننده‌های باینری بهینه برای جمع باینری بیت i ام معادل باینری اعداد ترنری همراه با مرحله قبل (معادل باینری رقم $i + 1$ ام عدد ترنری) استفاده می‌شوند. الگوریتم پیشنهادی را می‌توان به رقم‌های مورد نظر گسترش داد.

بنابراین، معادله CARRY در نقشه کارنو برابر است با:

$$CARRY = A \cdot B + (A + B) \cdot C_{in} \quad (V)$$

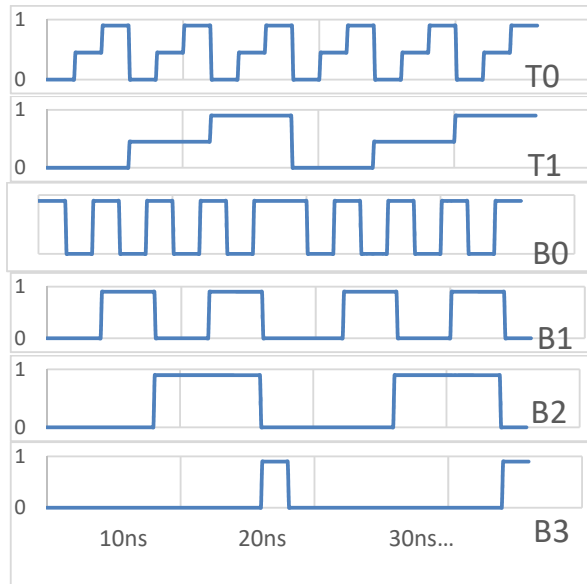


شکل (۹): (الف) نیم‌جمع‌کننده بهینه (ب) تمام‌جمع‌کننده بهینه

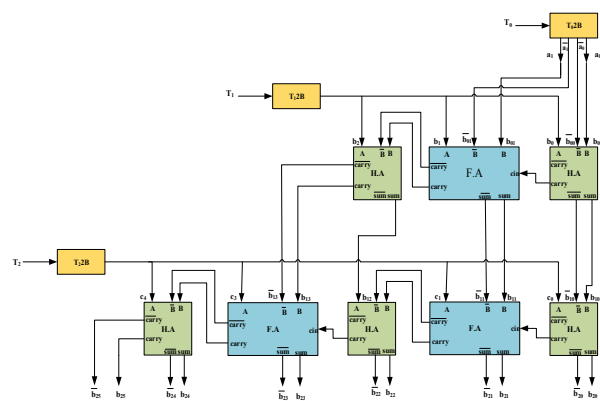
همانطور که نشان در شکل (۹) داده شده است، ۸ ترانزیستور برای نیم‌جمع‌کننده باینری و ۱۶ ترانزیستور برای تمام‌جمع‌کننده باینری از ترانزیستورهای گذر استفاده می‌کنند. در نیم‌جمع‌کننده باینری، که از ترانزیستورهای گذر به منظور بافر خروجی و تصحیح سطح خروجی استفاده می‌کند، با استفاده از ترانزیستورهای گذر، اولین مقدار موجود در خروجی‌ها $SUM = A \oplus B$ و $CARRY = \overline{A \cdot B}$ تولید می‌شود. سپس، اینورترهای خروجی را اصلاح می‌کنند. به همین ترتیب، برای تمام‌جمع‌کننده باینری که از ترانزیستورهای گذر استفاده می‌کند، اولین مقدار $SUM = A \oplus B \oplus C$ و $CARRY = \overline{A \cdot B + (A + B) \cdot C_{in}}$ با استفاده از ترانزیستورهای گذر تولید می‌شود. سپس با استفاده از اینورترها می‌توان SUM و $CARRY$ بافر و تراز شده را در خروجی تولید کرد.

۳-۷- مدل ترنری به باینری (T_i2B) تک‌رقمی

برای تولید معادل باینری هر رقم ترنری بر اساس شکل (۴)، مدل ترنری به باینری (T_i2B) برای مدل پیشنهادی اجرا می‌شود، همانطور که در شکل (۱۰) نشان داده شده است. دیده می‌شود که معادل باینری هر رقم ترنری توسط گیت رمزگشا-یک، گیت رمزگشا-دو و بافر مثبت باینری که در بخش قبلی بیان شده است، اجرا می‌شود. به عنوان مثال، بر اساس شکل (۱۰)، در T_02B ، a_1 باید فعال شود وقتی T_0 برابر با ۲ باشد. بنابراین، یک T.A.G استفاده می‌شود. بعلاوه، a_0 باید فعال



شکل (۱۲): نمودار شکل موج‌های خروجی مبدل ۲ به ۴ ترنری به باینری



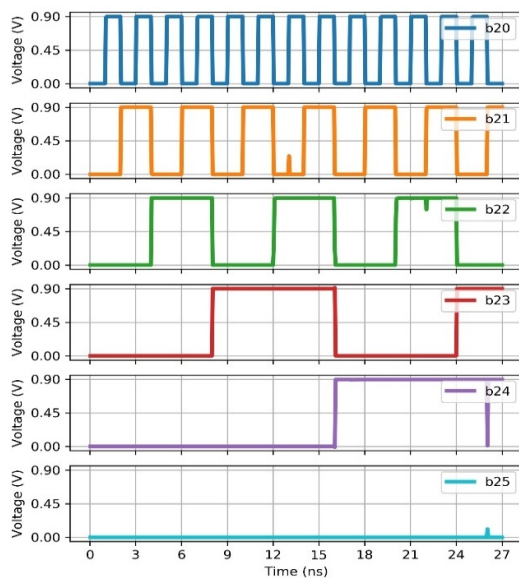
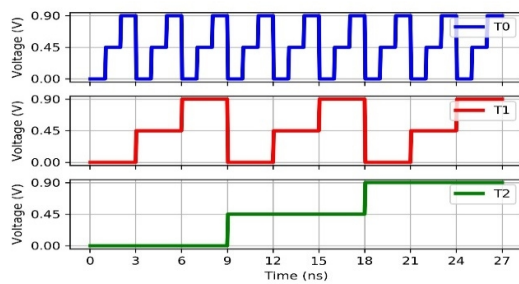
شکل (۱۳): بلوک دیاگرام مبدل ترنری به باینری بهینه پیشنهادی

۴- نتایج شبیه‌سازی

طرح پیشنهادی توسط Synopsys HSPICE با فناوری CNTFET 32 نانومتر شبیه‌سازی شده است [۳۱]. در جدول (۳) پارامترهای CNTFET و مقادیر آن‌ها ذکر شده است.

جدول (۳): جدول پارامترهای CNTFET

Parameters	value	Description
Lch	32 nm	Physical channel length
Lgeff	100 nm	The mean free path in the intrinsic CNT channel region due to non-ideal elastic scattering
Lss	32 nm	The length of doped CNT source-side extension region
Ldd	32 nm	The length of doped CNT drain-side extension region
Tox	4 nm	The thickness of high-k top gate dielectric material
Kox	16	Gate oxide dielectric constant
Efi	6 eV	The Fermi level of the doped S/D tube
Csub	20 pF	The coupling capacitance between the channel region and the substrate
Pitch	16 nm	The distance between the centers of two adjacent CNTs
Tubes	3	Number of tubes
Wgate	6.4 nm	Gate metal width
Supply	0.9	Gate supply voltage
Temp	27 °C	Temperature



شکل (۱۴): شکل موج (الف) ورودی و (ب) خروجی مبدل بهینه پیشنهادی

در شکل (۱۳) نمودار شکل موج‌های خروجی‌ها در تمام حالت‌های ممکن برای مبدل ۲ به ۴ نشان داده شده است مثلاً در زمان 70ns ازای حالت ورودی "11" = T خروجی مبدل B=1001 است. شکل (۱۴) شکل موج ورودی و خروجی مبدل ۳ به ۵ پیشنهادی بهینه را نشان می‌دهد. زمان صعود و نزول و عرض پالس به ترتیب برابر با ۱۰ ns و ۲ ns (معادل ۵۰۰ MHz فرکانس کاری) است. V(t0) تا V(t2) به ارقام ترنری ورودی از کم‌ترین به بیش‌ترین ارزش مکانی اشاره دارد. بلوکی نشان داده شده در شکل (۱۲) نشان می‌دهد. همانطور که در شکل (۱۴) نشان داده شده است، عدد به درستی از مبنای ۳ به مبنای ۲ تبدیل می‌شود.

universal min-max circuits for nanotechnology. *Circuits, Systems, and Signal Processing*, 31(2), 465–488.

- [6] Kim, Y. B., Kim, Y. B., & Lombardi, F. (2009). A novel design methodology to optimize the speed and power of the CNTFET circuits. In 52nd IEEE international midwest symposium on circuits and systems (pp. 1130–1133).
- [7] J. W. Mintmire and C. T. White, "Universal density of states for carbon nanotubes," *Phys. Rev. Lett.*, vol. 81, no. 12, pp. 2506–2508, 1998
- [8] P. L. McEuen, M. S. Fuhrer, and P. Hongkun, "Single-walled carbon nanotube electronics," *IEEE Trans. Nanotechnol.*, vol. 1, no. 1, pp. 78–85, Mar. 2002.
- [9] Zanjani, S. M. A., Dousti, M., & Dolatshahi, M. (2018). Highprecision, resistor less gas pressure sensor and instrumentation amplifier in CNT technology. *AEU-International Journal of Electronics and Communications*, 93, 325–336.
- [10] Zanjani, S. M. A., Dousti, M., & Dolatshahi, M. (2018). Inverterbased, low-power and low-voltage, new mixed mode Gm-C filter in subthreshold CNTFET technology. *IET Circuits, Devices and Systems*, 12(6), 681–688.
- [11] C. Wu, Y. Li, and S. Chai, "Design and simulation of a torus structure and route algorithm for network on chip," in 2007 7th International Conference on ASIC, 2007: IEEE, pp. 1289-1292.
- [12] V. P. KS and K. Gurumurthy, "Quaternary CMOS combinational logic circuits," in 2009 International Conference on Information and Multimedia Technology, 2009: IEEE, pp. 538-542.

[۱۳] مومنی، ا. طراحی مدارات چندمقداری با استفاده از تکنولوژی نانو لوله‌های کربنی. مقطع کارشناسی ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه شهید بهشتی تهران، مرداد

- [14] S. L. Hurst, Multiple-valued logic – its status and future, *IEEE Trans. Comput.* 33 (1984) 1160–1179
- [15] H. N. Venkata, Ternary and quaternary logic to binary bit conversion cmos integrated circuit design using multiple input ^oating gate mosfets, LSU Master's Theses. (2002) 2548. S. Subramanian, Ternary logic to binary bit conversion using multiple input ^oating gate mosfets in 0.5 micron n-well cmos technology, 2002.
- [16] M. Arjmand, M. Tehrani, M. Soryani and K. Navi, A novel ternary-to-binary converter in quantum-dot cellular automata, *IEEE Computer Society Annu. Symp. VLSI*, Vol. 6 (2012), pp. 147–152.
- [17] M. Shahangian, S. A. Hosseini and S. H. Pishgar Komleh, Design of a multi-digit binary to ternary converter based on CNTFETs, *Circ. Syst. Signal Process.* 38 (2019) 2544–2563
- [18] Shahangian, M., Hosseini, S. A., & Mirzaee, R. F. (2020). A Universal Method for Designing Multi-Digit Ternary to Binary Converter Using CNTFET. *Journal of Circuits, Systems and Computers*, 2050196.
- [19] Perri A.G.; (2011) *Modelling and Simulations in Electronic and Optoelectronic Engineering*. Editor Research Signpost, Kerata, India, ISBN: 978-81-308-0450-7.
- [20] P.L. McEuen, M. Fuhrer, H. Park, Single-walled carbon nanotube electronics. *IEEE Trans. Nanotechnol.* 1(1), 78–85 (2002)
- [21] G. Cho, Y.-B. Kim, F. Lombardi, M. Choi, Performance evaluation of CNFET-based logic gates, in Proc IEEE International Instrumentation and Measurement Technology Conference, 5–7 May (2009), pp. 909–912
- [22] Moaiyeri, M. H., Navi, K., & Hashemipour, O. (2012). Design and evaluation of CNFET-based quaternary circuits. *Circuits, Systems, and Signal Processing*, 31(5), 1631-1652.
- [23] [Y.B. Kim, Y.-B. Kim, F. Lombardi, Novel design methodology to optimize the speed and power of the CNTFET circuits, in Proc IEEE International Midwest Symposium on Circuits and Systems, 2–5 Aug. (2009), pp. 1130–1133
- [24] Akinwande, D., Liang, J., Chong, S., Nishi, Y., & Wong, H. S. P. (2008). Analytical ballistic theory of carbon nanotube transistors: experimental validation, device physics, parameter extraction, and performance projection. *Journal of Applied Physics*, 104(12), 1–7.
- [25] S. Lin, Y. Kim and F. Lombardi, CNTFET-based design of ternary logic gates and arithmetic circuits, *IEEE Trans. Nanotechnol.* 10 (2011) 217–225.

جدول (۴): جدول مقایسه نتایج شبیه‌سازی مبدل ۲ به ۴ بیتی

پیشنهادی بهینه و مرجع [۱۷]

Ternary – Binary Converter 2 – 4 bits	Number of transistors	Delay (ps)	Average power (μ w)	PDP (aj)	EDP ($\times 10^{-30}$)
Reported in Ref[17]	66	16.5	0.34587	5.706855	94.163
Simulation of Ref[17]	66	16.08	0.34570	5.58856	89.386
proposed	60	14	0.30138	4.21932	59.0704
Improvement(%)	9	12.93	12.82	24.5	33.91

جدول (۵): جدول مقایسه نتایج شبیه‌سازی مبدل ۳ به ۵ بیتی

پیشنهادی بهینه و مرجع [۱۷]

Ternary – Binary Converter 3 – 5 bits	Number of transistors	Delay (ps)	Average power (μ w)	PDP (aj)	EDP ($\times 10^{-30}$)
Reported in Ref[17]	156	29	1.14246	33.13134	960.808
Simulation of Ref[17]	156	28.62	0.74730	21.118698	604.417
proposed	140	27.3	0.66494	18.152862	495.573
Improvement(%)	10.25	4.6	11.02	14.04	18

همانطور که از جداول (۴) و (۵) مشاهده می‌شود، در مبدل ترنری به باینری ۲ به ۴ بیتی و ۳ به ۵ بیتی پیشنهادی، در مقایسه با مرجع [۱۷] در تمامی متغیرهای قابل مقایسه بهبودهایی صورت گرفته است. از جمله مهم‌ترین آن‌ها که در حالت کلی می‌تواند معیار مناسبی برای مقایسه باشد، PDP است که به ترتیب در حدود ۲۴ درصد و ۱۴ درصد در مبدل ترنری به باینری ۲ به ۴ بیتی و ۳ به ۵ بیتی پیشنهادی بهینه نسبت به مرجع [۱۷] بهبود یافته است.

۵- نتیجه گیری

ساختار سیستم مبنا مخلوط که از منطق چندارزشی و باینری استفاده می‌کند، می‌تواند در مقایسه با سیستم‌های استفاده کننده از منطق چندارزشی مناسب‌تر باشد، بنابراین، برای اجرای تبدیل مورد نیاز بین سیگنال‌دهی منطق چندارزشی در خطوط انتقال داده و مدارهای پردازش منطق باینری و ایجاد سازگاری بین منطق باینری و ترنری، طراحی مبدل ترنری به باینری و بالعکس به نظر می‌رسد ضروری است. در این مقاله طراحی و شبیه‌سازی مبدل ترنری به باینری سه‌رقمی بهینه شده مبتنی بر CNTFET را ارائه شده است. استفاده از نرم افزار HSPICE و یافتن نتایج شبیه‌سازی نشان می‌دهد که مبدل پیشنهادی بهینه از عملکرد بالایی برخوردار است. مبدل پیشنهادی از لحاظ توان مصرفی و تاخیر حدوداً ۱۳ درصد بهبود یافته است.

مراجع

- [1] Semiconductor Industry Association. (2005). *International Technology Roadmap for Semiconductors-2005*, Update: Overview and Summaries, [Online]. Available: http://www.itrs.net/Links/2005_ITRS/Home_2005.htm,
- [2] G. Moore, "Progress in Digital Electronics", *IEDM Tech Digest*, 1975, pp11-13
- [3] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur, and H. S. P. Wong, "Device scaling limits of Si MOSFETS and their application dependencies," in Proc. IEEE, vol. 89, no. 3, pp. 259–288, Mar. 2001.
- [4] M. S. Dresselhaus, G. Dresselhaus, and P. Avouris, "Carbon nanotube," Berlin, Germany: Springer-Verlag, 2001.
- [5] Moaiyeri, M. H., Chavoshisani, R., Jalali, A., Navi, K., & Hashemipour, O. (2011). High-performance mixed-mode

- [29] D. M. Miller and M. A. Thornton, Multiple-Valued Logic Concepts and Representations (Morgan and Claypool, 2008).
- [30] CNFET Model (Online), <http://nano.stanford.edu/models>.
- [26] S. C. Kleene, Introduction to Metamathematics (Amsterdam, The Netherlands: NorthHolland, 1952), pp. 332 -340.
- [27] S. Lin, Y. Kim and F. Lombardi, CNTFET-based design of ternary logic gates and arithmetic IEEE Trans. Nanotechnol. 10 (2011) 217-225.
- [28] M. Shahangian, S. A. Hosseini and S. H. Pishgar Komleh, Design of a multi-digit binary to ternary converter based on CNTFETs, Circ. Syst. Signal Process. 38 (2019) 2544-2563.

زیر نویس ها

³ Carbon nanotube field effect transistor

¹ Metal Semiconductor Field Effect Transistor

² Complementary Metal Semiconductor Field Effect Transistor