ارائه طرح دیجیتالی و معماری سخت‌افزاری برای پردازشگر سیگنال رادار HPRF

محمدجواد فیروزی[۱]، دانشجوی کارشناسی ارشد؛ حمیدرضا دلیلی اسکویی[۲]، دانشیار؛ رضا فاطمی مفرد[۳]، استادیار

۱- مرکز تحصیلات تکمیلی - دانشگاه علوم و فنون هوایی شهید ستاری- تهران - ایران - javadfirouzi85@gmail.com
۲- مرکز تحصیلات تکمیلی - دانشگاه علوم و فنون هوایی شهید ستاری - تهران - ایران - h_oskouei@yahoo.com
۳- دانشکده مهندسی برق - دانشگاه صنعتی مالک اشتر - تهران - ایران - rfatemim@yahoo.com

چکیده: امروزه طراحی و به‌کارگیری رادارهای با فرکانس تکرار پالس بالا به دلیل مزایایی که در ارسال توان متوسط بالا و مقابله با کلاترهای گسترده و جمینگ دارند [۱]، بسیار مرسوم است. اما همواره طراحی و پیاده‌سازی دیجیتالی پردازشگرهایی که بتوانند پارامترهای سیستمی و ازجمله محدوده دینامیکی بالای سیگنال ورودی این‌گونه رادارها را پوشش دهند، با چالش‌هایی همراه بوده است. در این مقاله روشی برای طراحی دیجیتالی و تعیین معماری سخت‌افزاری پردازشگر سیگنال رادار با فرکانس تکرار بالای نوعی ارائه می‌گردد. این روش مبتنی بر استفاده از نرم‌افزار ارائه‌شده توسط شرکت Xilinx به نام مولد سیستم Xilinx (XSG) هست که امکان آزمون، طراحی و توسعه ساده‌تر پردازشگرهای دیجیتال مبتنی بر تراشه FPGA را در محیط simulink نرم‌افزار MATLAB فراهم آورده است [۲]. نتایج شبیه‌سازی سخت‌افزاری و مقایسه خروجی‌های بلوک‌های پردازشی با خروجی بلوک‌های پردازشگر آنالوگ رادار موجود و مقایسه با ساختارهای آنالوگ-دیجیتال ترکیبی مرسوم برای این‌گونه رادارها، نشان‌دهنده افزایش محدوده دینامیکی ورودی پردازنده رادار به حداقل ۷۰dB، کاهش ابعاد و وزن آن به حدود یک‌پنجم و انعطاف‌پذیری مناسب این پردازشگر برای یک رادار با فرکانس تکرار بالا است.

واژه‌های کلیدی: رادار با فرکانس تکرار پالس بالا، کلاتر، تراشه FPGA، پردازش پالس داپلر، نرم‌افزار سیستم ژنراتور XSG.

A Digital Design and Hardware Architecture for the HPRF Radar Signal Processor

M. J. Firouzi[1], MSc Student; H. Dalili Oskouei[2], Associate Professor; R. Fatemi Mofrad[3], Assistant Professor

1- Aeronautical University of Shahid Sattari, Tehran, Iran, Email: javadfirouzi85@gmail.com
2- Aeronautical University of Shahid Sattari, Tehran, Iran, Email: h_oskouei@yahoo.com
3- Faculty of Electrical Engineering, Industrial University of Malek-e-Ashtar, Tehran, Iran, Email: rfatemim@yahoo.com

Abstract: Today, the design and use of high-frequency repeater radars are very common because of the advantages of high power transmission and coping with extended clutters and jamming [1]. However, it is always the design and implementation of digital processors that can handle system parameters such as the wide dynamic range above the input signal of these radar coverage has been challenging. In this paper, a method for digital design and determination of the hardware architecture of a high repetition frequency radar signal processor based on the use of software provided by Xilinx XSG It's easier to design and develop The FPGA-based chip-based is provided in the MATLAB Simulink software is presented, this method is based on the use of Software provided by Xilinx Inc. The results of hardware simulation and comparison of output blocks of processing blocks with the output of the analog blocks of the typical radar and comparison with analog digital combined hardware of general radars represent improvement dynamic range of input at least 70 dB and low weight of this processor for a radar with high pulse repetition frequency.

Keywords: High-pulse repetition frequency radar, clutter, FPGA chip, pulse-doppler processing, XSG system generator software.

تاریخ ارسال مقاله: ۱۳۹۶/۰۶/۱۴
تاریخ اصلاح مقاله: ۱۳۹۶/۱۰/۱۳
تاریخ پذیرش مقاله: ۱۳۹۶/۱۰/۱۵
نام نویسنده مسئول: حمیدرضا دلیلی اسکویی
نشانی نویسنده مسئول: ایران - تهران - دانشگاه هوایی شهید ستاری - مرکز تحصیلات تکمیلی.

۱- مقدمه

پردازشگرهای دیجیتال راداری با قابلیت پیکره‌بندی مجدد و مبتنی بر تراشه FPGA، به‌علت انعطاف‌پذیری زیاد، نیاز به منابع کم‌توان، سرعت پیاده‌سازی و عیب‌یابی مناسب و انجام پردازش‌های موازی بسیار موردتوجه هستند[۲]. همچنین امروزه با ارتقاء چشم‌گیر کارآیی تراشه‌های FPGA و افزایش سرعت نمونه‌برداری و محدوده دینامیکی مبدل‌های آنالوگ‌به‌دیجیتال، پردازشگرهای دیجیتال از طبقات فرکانس ویدئویی رادارها به طبقات فرکانس میانیIF و یا فرکانس رادیویی RF آن انتقال داده شده‌اند. ا ستفاده از پرداز شگرهای دیجیتال IF و یا RF به‌جای روش‌های قدیمی آنالوگ می‌تواند منجر به افزایش کارآیی رادار در کشف و شناسایی اهداف، افزایش قابلیت اطمینان، سخت‌افزار کوچک‌تر و هزینه کم‌تر در مراحل طراحی و پیاده‌سازی و ساخت شود.

کاربرد اصلی پردازشگر سیگنال در رادارهای با فرکانس تکرار پالس بالا، آشکارسازی اهداف متحرک در محیط کلاتری قوی است و با حذف کلاتر در حوزه فرکانس، سیگنال ورودی به بلوک‌های پردازشی بعدی پردازشگر، تقریباً خالی از کلاتر خواهد بود و درنتیجه کشف و ردگیری اهداف ساده‌تر خواهد شد، میزان حذف تداخل و کلاترها در این نوع از پردازشگرها با به‌کارگیری ضرایب وفقی برای فیلترها و همچنین با دارا بودن ساختاری که بسیار کم‌تر تحت تأثیر شرایط محیطی و د مایی قرار می‌گیر ند، می‌توا ند به بیش از 50dB افزایش یابد[۴،۳].

در این مقاله، در ابتدا نحوه عملکرد یک پردازشگر و بلوک‌های تشکیل‌دهنده آن تشریح می‌شوند و سپس طراحی سخت‌افزاری مناسبی برای هر یک از بلوک‌ها ارائه می‌گردد و درنهایت با تجمیع و یکپارچه‌سازی بلوک‌های پردازشی، شبیه‌سازی سخت‌افزاری در محیط XSG برای ارزیابی کارکرد آن‌ها انجام می‌شود. در این طرح تمامی مراحل پردازشی که معمولاً به‌صورت المان‌های آنالوگ و تحت‌عنوان پیش‌پردازش مطرح می‌شو ند به‌صورت الگوریتم های دیجی تال پیاده‌سازی شده‌اند و الگوریتم‌ها در حالت ممیزثابت[۱] و با توجه به پارامترهای رادار مفروض طراحی شده‌اند.

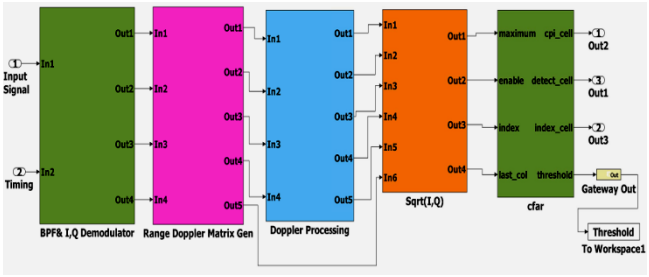
۲- طراحی دیجیتال پردازشگر

در پردازشگر سیگنال رادار، سیگنال خروجی باندمیانی گیرنده در فواصل زمانی متناسب با عرض‌پالس ارسال و به‌وسیله یک مبدل آنالوگ به دیجیتال نمونه‌برداری می‌شود، پس از تبدیل سیگنال آنالوگ به نمونه‌های دیجیتال، نمونه‌های خروجی مبدل ADC به یک آشکار ساز همفاز و متعامد I,Q داده می‌شود و سپس این سیگنال ویدئویی به فیلتر پایین‌گذر داده می‌شود که فقط باند مرکزی فرکانس داپلر را عبور می‌دهد بعد از گذر از فیلتر، می‌توان عملیات حذف کلاتر و پردازش‌های داپلر را روی آن انجام داد. برای طراحی پردازشگر دیجیتال، پارامترهای سیگنال دریافتی و مشخصات رادار در جدول زیر ارائه شده است.

پردازشگر دیجیتال طراحی شده متناسب با بلوک دیاگرام ارائه‌شده در شکل ۱، از بلوک‌های پردازشی فیلتر میان‌گذرBPF، دمدولاتور همفاز و متعامدI,Q، مولد ماتریس برد داپلر، پردازش داپلر، آشکارساز دامنه و تعیین خودکار سطح آستانه تشکیل شده است. درواقع ساختار پردازشگر دیجیتال طراحی شده به‌گونه‌ای است که پس از حذف مؤلفه های مزاحم خروجی مبدل آ نالوگ به دیجیتال در بلوکBPF و تبدیل به نمونه‌های متعامد، با ساخت ماتریس برد_داپلر پردازش‌های داپلری بر روی سیگنال انجام می شود و درنهایت با تعیین مؤلفه طیفی و سلول برد حاوی هدف، آ شکار سازی سیگنال انجام خواهد شد. در ادامه با تک‌تک این بلوک‌های پردازشی و نحوه طراحی سخت‌افزاری آن ها آشنا خواهیم شد.

جدول ۱: پارامترها و مشخصات رادار [۵].

پارامتر	مقدار	توضیحات
شکل‌موج	پالسی ساده	۰/۶ میکروثانیه
پهنای‌باند گیرنده	۵MHz	
فرکانس IF	۳۶MHz	
PRF	۸۰/۲KHz تا ۹۴	متغیر
محدوده دینامیکی	۷۰dB	
زمان پردازش همدوس	۲/۷ msec	
تعداد پالس پردازشی	۲۵۶	



شکل ۱: بلوک دیاگرام پردازشگر دیجیتال گیرنده اسکن در محیط XSG.

۲-۱- تعیین مبدل آنالوگ به دیجیتال

عنوان در مشخصات پرداز شگر رادار مفروض محدوده دینامیکی ۷۰dB بیان شده است. لذا انتخاب مبدل ADC مناسب در پردازنده‌ی دیجیتال از اهمیت بالایی برخوردار است. انواع مختلفی از مبدل‌ها وجود دارند که هر یک ویژگی و مشخصات خاصی دارند و انتخاب نوع خاصی از آن ها باید با توجه به فرکانس نمونه‌برداری پردازشگر و محدوده دینامیکی سیگنال ورودی آن انجام شود و به‌طور کل هرچه حداکثر فرکانس نمونه‌برداری مبدلی کمتر با شد، محدوده دینامیکی ورودی آن بالاتر خواهد بود. بنابراین باید از روش نمونه‌برداری باندمیانی استفاده کنیم تا این نیاز سیستم تأمین شود.

۲-۲- نمونه‌برداری در باند میانی

روش نمونه‌برداری باندمیانی رهیافتی برای نمونه‌برداری با نرخی کمتر از نرخ نایکوئیست برای سیگنال‌هایی که پهنای‌باند آن‌ها بسیار کمتر از فرکانس حامل است، است. می‌توان محدود مجاز برای نمونه‌برداری از سیگنال باند میانی را بدون اینکه طیف سیگنال دچار همپوشانی شود، به دست آورد. رابطه (۱) دو شرط لازم و کافی برای نمونه‌برداری از سیگنال باند میانی را مشخص می‌سازد[۴].

$$\frac{2f_c-\mathrm{B}}{m}\geq f_s\geq\frac{2f_c+\mathrm{B}}{m+1}\qquad f_s\geq 2\mathrm{B}\qquad (۱)$$

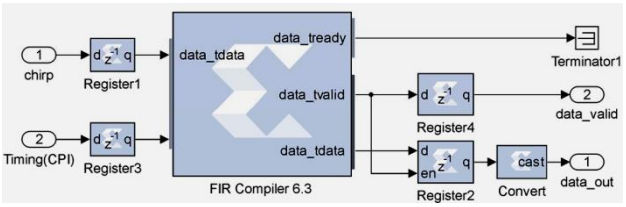
با توجه به اینکه در رادار مفروض عرض پالس ۰/۶ میکروثانیه بیان شده است، بنابراین فرکانس نمونه‌برداری را برابر ۱۶MHz انتخاب می‌کنیم. با بررسی‌های صورت‌گرفته در مبدل‌های ADC مختلف، مبدل‌های خانواده Pipeline، برای سیگنال میانی ۳۶MHz با فرکانس نمونه‌برداری ۱۶MHz دارای محدوده دینامیکی مناسب (حدود ۸۰dB و تعداد حداقل ۱۳ بیت مؤثر) و برای پردازشگر رادار مناسب هستند. بنابراین از این خانواده، مبدل ADC معروف AD9446 را انتخاب می‌کنیم. سیگنال میانی ۳۶MHz پس از نمونه‌برداری با نرخ ۱۶MHzبه فرکانس ۴/۱۵۶MHz منتقل خواهد شد.

۲-۳- بلوک فیلتر میان‌گذر حذف هارمونیک و تداخل

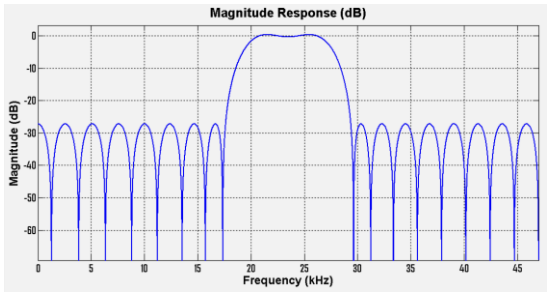
بعد از نمونه‌برداری از سیگنال به‌منظور حذف هارمونیک‌های ناخواسته، یک فیلتر میان‌گذر FIR با مشخصه دامنه-فرکانس نمودار شکل ۲-ب استفاده شده است [۲، ۶]. در این ساختار از FIR Core استاندارد تراشه FPGA و رجیسترهای ابتدایی و انتهایی برای تأمین تأخیرهای مورد نیاز در سیگنال استفاده شده است و درنهایت با استفاده از بلوک Convert تعداد بیت‌های خروجی محدود شده‌اند. این فیلتر با مرتبه ۴۵، حذف خارج باند مناسبی را برای خروجی مبدل ADC فراهم می‌کند. به‌منظور یکسان‌سازی خروجی این بلوک با نتایج محاسبات نقطه شناور[۲]، ضرایب فیلتر، ۱۷ بیتی انتخاب شدند و در خروجی با استفاده از یک بلوک تبدیل‌کننده،[۳] بیت‌های خروجی این بلوک را به ۱۵ بیت محدود کردیم.

۲-۴- بلوک آشکارساز هم‌فاز و متعامد

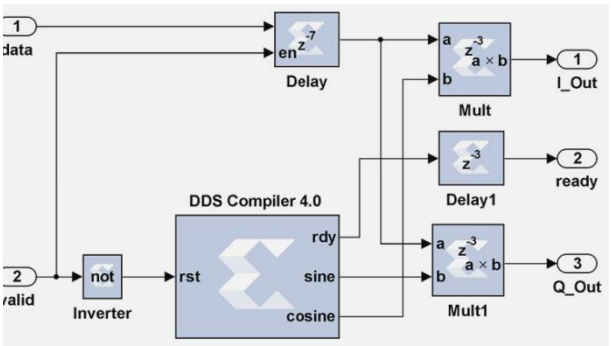
پس از فیلتر میان‌گذر به‌منظور بهره‌وری از مشخصه فاز و دامنه سیگنال و همچنین استفاده از پردازش‌های همدوس، از دمدولاتور تربیعی I,Q استفاده شده است. ساختار کلی این دمدولاتورها در شکل ۳ نشان داده شده است. در این دمدولاتورها با استفاده از کلاک ۱۶MHz ورودی دو سیگنال مرجع سینوسی و کسینوسی با استفاده از DDSهای داخلی FPGA در فرکانس ۴/۱۶۵MHz ساخته می‌شوند و در سیگنال نمونه‌برداری شده ضرب می‌شود و پس از ضرب، با استفاده از فیلترهای پایین گذر FIR (شکل ۴) که فرکانس‌های محدوده داپلر هدف را عبور می‌دهند، سیگنال‌های همفاز و متعامد I,Q ساخته می‌شود. در این زیر بلوک با استفاده از بلوک تبدیل‌کننده تعداد بیت های خروجی را به ۱۵ بیت محدود نمودیم.



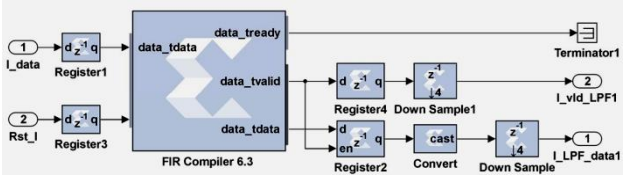
شکل ۲-الف: فیلتر میان‌گذر دیجیتال.



شکل ۲-ب: مشخصه دامنه-فرکانس فیلتر.



شکل ۳: آشکارساز هم‌فاز و متعامد.



شکل ۴: فیلتر پایین گذر آشکارساز متعامد.

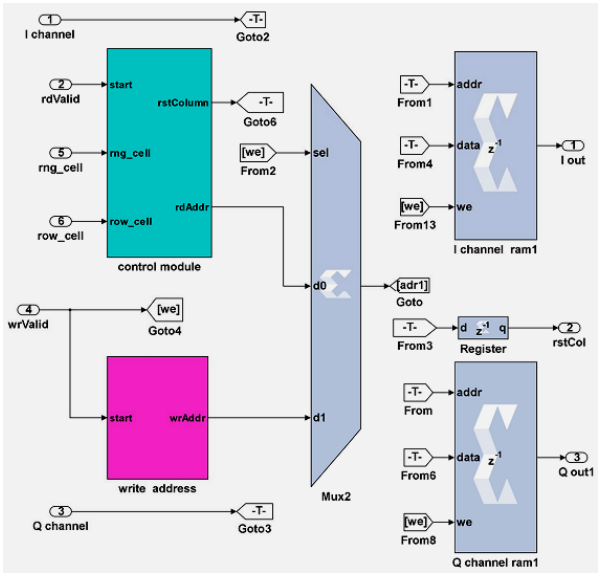
۲-۵- بلوک کاهش نرخ نمونه

پس از ساخت مؤلفه‌های هم‌فاز و متعامد سیگنال دریافتی، به منظور کاهش بار پردازشی از یک کاهش‌دهنده نرخ نمونه استفاده کردیم. بدین‌ترتیب، تعداد نمونه‌های خروجی چهار برابر کاهش می‌یابند و تعداد نمونه‌ها در هر PRI تقریباً برابر با ۴۳ نمونه خواهد شد.

۲-۶- بلوک تولیدکننده ماتریس برد-سرعت

پس از انتخاب سیگنال و کاهش نرخ نمونه باید ماتریس برد-سرعت را برای پردازش‌های همدوس تشکیل دهیم. این ماتریس،

ورودی ا صلی بلوک پردازش‌های داپلر ا ست و پردازش‌های حذف کلاتر و تعیین ســـرعت هدف بر روی آن انجام می‌شـــود[۳]. برای ســـاخت ماتریس برد-ســـرعت از ســـاختار بلوکی شـــکل ۵ اســـتفاده کردیم. این ســـاختار از ســـه زیر بلوک نوشـــتن در حافظه، قرائت از حافظه و مالتی‌پلکس تشـــکیل شـــده اســـت و نمونه‌های ســـیگنال دریافتی در هر PRI پ شت سر هم در حافظه ذخیره می شوند و نمونه‌های PRI بعدی نیز متناســـب با ســـتون بعدی ماتریس برد_ســـرعت در حافظه ذخیره می شوند و پس از دریافت و ذخیره سازی نمونه‌های۵۱۲ پالس ار سالی رادار، ماتریس برد_سرعت به ابعاد ۵۱۲×۴۳ شکل می‌گیرد.



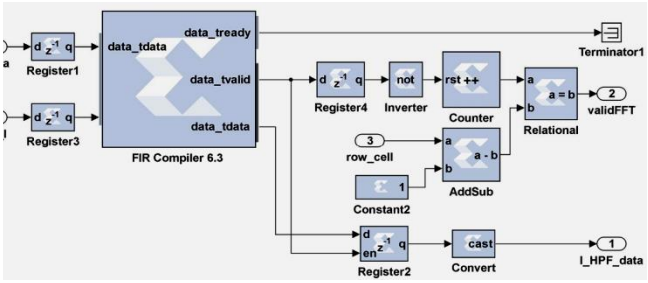
شکل ۵: بلوک دیاگرام بلوک تولید ماتریس برد_سرعت.

۲-۷- بلوک حذف‌کننده کلاتر(فیلتر بالاگذر)

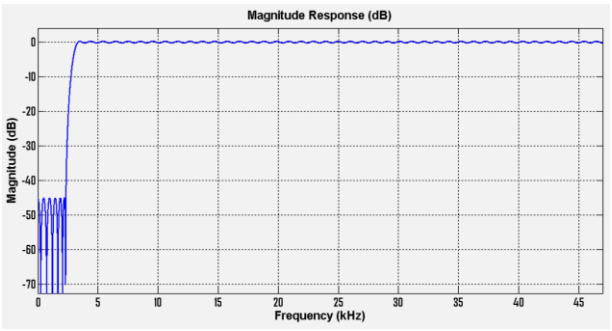
پردازش حذف کلاتر با طراحی یک فیلتر بالاگذر FIR که قابلیت حذف مناســـبی در فرکانس های اطراف صـــفر ایجاد می‌کند، انجام می‌شـود. طبق شـکل ۶-ب، مشـخصـه این فیلتر به‌گونه‌ای اسـت که تداخلات ناشـی از فرسـتنده و کلاتر را که در فرکانس صـفر و طبق تعریف رادار مفروض در پهنای باند ۳/۵ کیلوهرتز قرار می‌گیرند به‌طور منا سب و به اندازه ۵۰dB ت ضعیف می‌کند. خروجی این فیلتر به‌منظور حفظ تعداد بیت و جلوگیری از رشـد بیت غیرلازم با اسـتفاده از یک بلوک تبدیل‌کننده، به ۱۶ بیت محدود شده است.

۲-۸- بلوک بانک داپلر و کاهنده گلبرگ‌های فرعی طیف

پس‌ازاینکه تداخلات کلاتر و سـیگنال فرکانس صـفر از سـیگنال دریافتی حذف شـدند، خروجی فیلترهای حذف کلاتر در دو مسـیر پردازشی همفاز و متعامد (I و Q) در RAM ذخیره می‌شوند. نمونه‌های ذخیره شده در حافظه برای پردازش داپلر به بلوک پرداز شی FFT وارد می‌شـوند. خروجی بلوک FFT به‌منظور کاهش سـطح گلبرگ فرعی و جلوگیری از ایجاد هدف اشـتباه، در ضـرایب وزن‌دهی مناسـب ضـرب می‌شود [۴]. این ضرایب با توجه به پهن‌شدگی طیفی ۱/۵ برابری برای هر خروجی طیفی، موجب کاهش ســـطح گلبرگ های فرعی خروجی تبدیل فوریه تا ۵۰dB می‌شـــوند. تعداد بیت‌های خروجی این بلوک به دلیل بهره پردازشـی ایجاد شـده در آن به تعداد ۹ بیت رشـد خواهد داشـت که با اسـتفاده از یک بلوک تبدیل‌کننده، خروجی آن را در ۲۵ بیت محدود نمودیم.



شکل ۶-الف: زیر بلوک حذف کلاتر.



شکل ۶-ب: مشخصه دامنه_فرکانس فیلتر حذف کلاتر.

۲-۹- بلوک آشکارساز دامنه

به‌منظور آشـکارسـازی دامنه سـیگنال و تبدیل نمونه‌های همفاز و متعامد I,Q به نمونه‌های پوش دامنه از بلوک کوردیک[۴] اسـتفاده شـده است [۲، ۷]. این بلوک با الگوریتم چرخشی کوردیک، مقدار $\sqrt{I^2+Q^2}$ را محاســـبه می‌کند. در این بلوک به‌دلیل محاســـبات توان دو و جمع نمونه‌های متعامد، تعداد بیت‌ها به ۵۱ بیت در خروجی (I^2+Q^2) و به ۲۶ بیت در خروجی $\sqrt{I^2+Q^2}$ محدود می‌شوند.

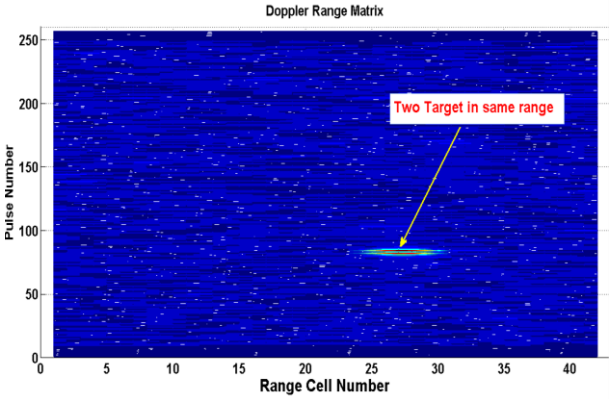
۲-۱۰- بلوک تعیین خودکار سطح آستانه

این بلوک طبق تعریف رادار مفروض دارای دو ورودی تعیین خودکار آ ستانه و تعیین د ستی سطح آ ستانه آ شکار سازی می‌با شد و همچنین به‌منظور جلوگیری از ورود تداخل و نویز با دامنه‌های بالا به محاســبات تعیین آســتانه از محدودکننده ورودی اســتفاده می‌کند. در مدار تعیین ســـطح آســـتانه رادار مبنا از میانگین‌گیری تداخل در ســلول‌های آزمون و ارزیابی اســتفاده می‌کند. این بلوک با اســتفاده از کدهای VHDL در بلوک CFAR پیاده شده است.

۳- تجزیه و تحلیل یافته‌ها

برای مشـاهده قابلیت انعطاف پردازشـگر و همچنین صـحه‌گذاری پارامترهای اصلی رادار مفروض، شبیه‌سازی زیر صورت گرفته است: در

این شبیه‌سازی، سیگنال کلاتر با توزیع دامنه رایلی و توزیع طیفی گوسی ساخته شد و به همراه دو هدف با سرعت ۴۵۰ و ۴۵۵ متر بر ثانیه در یک برد یکسان به ورودی پردازشگر سیگنال اعمال شده و نتایج زیر حاصل شده است. با توجه به اینکه در پرداز شگر ارائه شده تعداد نقاط FFT به ۲۵۶ رسیده است، این امر موجب بهبود عملکرد رادار در تفکیک‌پذیری اهداف در سرعت به‌اندازه دو برابر و افزایش نسبت سیگنال به نویز به‌اندازه ۳dB شده است لذا با شبیه‌سازی اهدافی که در برد در یک سلول فاصله قرار دارند و اختلاف داپلری به‌اندازه ۴۰۰ هرتز معادل با ۵ متر بر ثانیه دارند، تفکیک‌پذیری بهبودیافته را نشان خواهیم داد. این بهبود در سرعت پردازش به‌اندازه تقریبی چهار برابر سریع‌تر، نسبت به نمونه آنالوگ و یا نیمه‌دیجیتال طرح اصلی می‌باشد و ازلحاظ افزایش قابلیت‌های فنی میزان تفکیک‌پذیری در سرعت به اندازه دو برابر و دقت محاسبات نیز نسبت به طرح سخت‌افزاری اولیه دو برابر شده است. شکل ۷ نشان‌دهنده ماتریس برد_ سرعت پس از تجزیه‌وتحلیل طیفی است. سیگنال اهداف شبیه سازی شده هر دو در یک سلول برد (شماره ۲۷) قرار داده شده‌اند اما اختلاف سرعتی معادل ۵ متر بر ثانیه دارند.

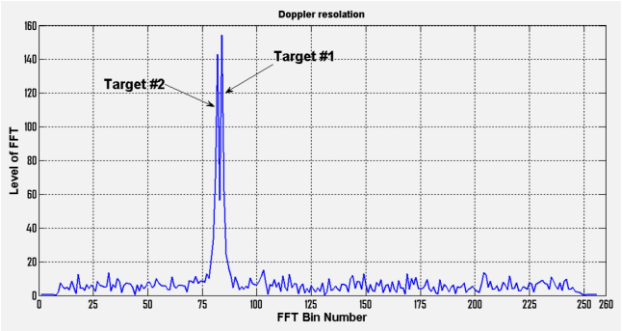


شکل ۷: ماتریس دوبعدی برد-سرعت برای دو هدف با اختلاف سرعت ۵ متر بر ثانیه در یک برد یکسان.

شکل ۸ تفکیک‌شدن این دو هدف را در حوزه فرکانس به‌خوبی نشان می‌دهد. در این شکل قله اهداف بدون تداخل اثرات گلبرگ‌های فرعی خروجی FFT نشان داده شده است.

۴- نتیجه‌گیری

در این مقاله به ارائه طرحی برای دیجیتالی‌کردن پردازشگر سیگنال آنالوگ یک رادار HPRF نوعی با استفاده از ابزار طراحی XSG بر روی تراشه FPGA پرداخته شد. این طرح، کارایی مشابهی با پردازشگر آنالوگ رادار مفروض دارد و دارای مزایای کاهش حجم سخت‌افزار، افزایش انعطاف‌پذیری، سادگی عیب‌یابی و راحتی توسعه در آینده است.



شکل ۸: دو هدف تفکیک‌شده در سرعت و یکسان در برد.

با توجه به این‌که در طراحی سیستمی پردازشگر از کانال‌های پردازشی همفاز و متعامد I,Q استفاده شده و تعداد نقاط FFT نیز به‌اندازه دو برابر فیلترهای بانک داپلر پردازشگر آنالوگ افزایش یافته، جمعاً سیگنال به نویز به‌اندازه ۶dB بهتر شده است. درنتیجه می‌توان قله توان ارسالی فرستنده را به‌اندازه چهار برابر کاهش داد و از آسیب‌دیدگی ادوات فرستنده و مشکلات عدم تأمین لامپ آن جلوگیری کرد و یا اینکه با حفظ توان ارسالی، برد کشف و اکتساب رادار را بیشتر در نظر گرفت. اما عیب این طرح آن است که به‌علت عدم استفاده از فیلترهای حذف کلاتر در فرکانس‌های تکرار مختلف و استفاده از مشخصه تکرار حوزه فرکانس فیلتر حذف کلاتر در FPRF/2، میزان حذف کلاتر در فرکانس‌های تکرار مختلف رادار متغیر است و نویز کوانتیزاسیون مبدل ADC نیز به‌عنوان یک منبع اضافی نویز در سیگنال به نویزهای پایین موجب عدم کشف و آشکارسازی اهداف می‌شود.

مراجع

[1] G. W. Stimson, *Introduction to Airborne Radar*, 2nd Edition, SciTech,1998.

[2] *Virtex-6 FPGA User Guide*, [Online], Available: http://www.xilinx.com/support/documentation/user_guides/ug07.pdf.

[3] M. I. Skolnik, *Radar Handbook*, 2nd Edition, Mc GrawHill, 1990.

[4] M. A. Richards, J. A.Scheer, W. A. Holm; *Principles of Modern Radar(Basic Principles)*, SciTech, 2010.

[5] A. Antey, *Illumination and Guidance Radar Technical Description*, 1993.

[6] J. H. J. Ballagh, "Building Custom FIR Filters Using System Generator," *In Proc. 12th International Field-Programmable Logic and Applications Conference (FPL)*, Montpellier, France, p. 2438, 2002.

[7]. Y. H. Hu, "CORDIC-based VLSI architectures for digital signal processing," *IEEE Signal Processing Magazine*, vol. 9, pp. 16-35, 1992.

زیرنویس‌ها

[1] Fixed point

[2] Float point

[3] Convert

[4] Cordic