

طراحی ضرب کننده تقریبی ۱۶ بیتی با کاربری پردازش دیجیتال

موسی یوسفی^۱، استادیار، مصطفی قربانی^۲، خلیل منفردی^۳، دانشیار

۱- دانشکده مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران - m.yousefi@azaruniv.ac.ir

۲- دانشکده مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران - gh.mostafa137272@gmail.com

۳- دانشکده مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران - khmonfaredi@azaruniv.ac.ir

چکیده: ضرب کننده‌ها از بلوک‌های مهمی هستند که به صورت وسیع در سیستم‌های پردازشی دیجیتال پیشرفته مورد استفاده قرار می‌گیرند. لذا ارائه یک ضرب کننده بهینه مزیت مهمی برای سیستم محاسباتی دیجیتالی به حساب می‌آید. ضرورتی ندارد که در تمام کاربری‌ها از ضرب کننده‌های دقیق استفاده شود، در برخی از کاربری‌ها مانند پردازش سیگنال، سطح مشخصی از خطا قابل قبول است. یک بخش اساسی ضرب کننده، کمپرسور است که در مرحله کاهش حاصل ضرب‌های جزئی در عمل ضرب مورد استفاده قرار می‌گیرد. در این مقاله طرح‌های جدیدی برای کمپرسورهای تقریبی ۱۵:۴ و ۵:۳، ارائه شده است که چه از نظر توان، تأخیر و خطاهای ایجاد شده نسبت به طرح‌های پیشین عملکرد بهتری داشته است و با استفاده از کمپرسورهای تقریبی پیشنهادی، ضرب کننده ۱۶×۱۶ بیتی تقریبی طراحی شده است. طرح پیشنهادی در محیط نرم افزار Cadence با استفاده از تکنولوژی ۱۸۰ نانومتر و ولتاژ تغذیه ۱/۸ ولت پیاده‌سازی و شبیه‌سازی شده است و نتایج شبیه‌سازی نشان می‌دهد که تأخیر کمپرسور ۵:۳ پیشنهادی ۰/۷۶ نانوثانیه و توان آن ۰/۹۳۵ میکرو وات و فاصله خطای ایجاد شده برابر ± 2 به دست آمده است و همچنین برای کمپرسور ۱۵:۴ تأخیر ۱/۱۲ نانوثانیه و توان ۴/۷۵ میکرووات به دست آمده است.

واژه‌های کلیدی: ضرب کننده تقریبی، کمپرسور، پردازش دیجیتال، تأخیر انتشار

Design of 16-bit Approximate Multiplier with Digital Processing Application

Mousa Yousefi¹, Assistant Professor¹, Mostafa Ghorbani², Khalil Monfaredi, Associate Professor³

1- Faculty of Engineering, Azarbaijan Shahid Madani, Tabriz, Iran, Email: m.yousefi@azaruniv.ac.ir

2- Faculty of Engineering, Azarbaijan Shahid Madani, Tabriz, Iran, Email: gh.mostafa137272@gmail.com

3- Faculty of Engineering, Azarbaijan Shahid Madani, Tabriz, Iran, Email: khmonfaredi@azaruniv.ac.ir

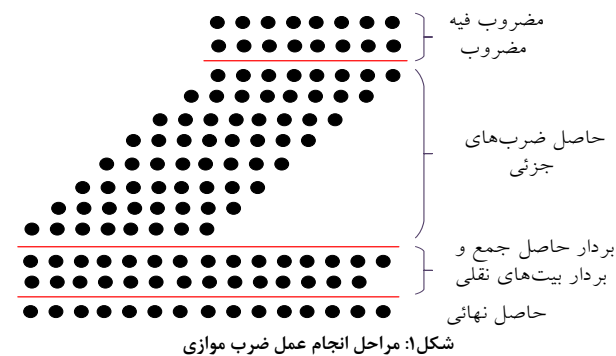
Abstract: The multipliers are important blocks that used in digital processing modern systems. So, design of the efficient multiplier is important advantage for digitally computational system. In some processing fields as the signal processing, the specified level of the error is acceptable, so used of accurate multiplier in the all of the processing fields is not essential. One of the important blocks of the multiplier is the compressor that is used in stage of the partial multiplication for decreasing operations. In this paper, new design of the 5:3 and 15:4 approximate compressors are proposed, the power consumption, propagation delay and error distance of proposed compressors in the comparison others have proper operating, with used of the proposed approximate compressors designed the approximate 16*16-bit multiplier. The overall of the proposed approximate multiplier is simulated and implemented by 180 nm CMOS technology and 1.8 V power supply by the Cadence tools. The result of simulation is shown that propagation delay proposed 5:3 compressors is 0.76 ns and power consumption is 0.935 μ W with ± 2 error distance. And also, the proposed 15:4 compressor has 1.12 ns propagation delay, 4.75 μ W power consumption.

Keywords: Approximate multiplier, compressor, digital processing, propagation delay

۱- مقدمه

می‌شود [۱۲] [۶]، در شکل ۱ ساختار ضرب کننده موازی و مراحل انجام ضرب نشان داده شده است.

عموماً در الگوریتم‌ها بین سرعت، پیچیدگی مدار، سطح و توان مصرفی باید مصالحه شود.



شکل ۱: مراحل انجام عمل ضرب موازی

در برخی از کاربردها نیاز به استفاده از محاسبات دقیق نیست، در این مقاله هدف طراحی یک ضرب کننده تقریبی با استفاده از بلوکهای کمپروسور تقریبی است. در روش محاسبات تقریبی چندین خطا وجود دارد که نقش بسیار مهمی را جهت محاسبه خروجی نهایی ایفا می‌کنند [۳، ۷]، که عبارتند از: مقدار نرخ خطا ER^5 ، فاصله خطا ED^6 و فاصله خطا نرمالیزه شده. نرخ خطا به صورت تعداد خطاها در خروجی تقسیم بر کل تعداد خروجی‌ها مشخص می‌شود. فاصله خطا، به فاصله جبری بین خروجی خطا و مقدار صحیح آن گفته می‌شود. فاصله خطا نرمالیزه شده، به میانگین نسبت فاصله خطا تقسیم بر تمامی ورودی‌های مدار اطلاق می‌شود.

کمپروسور می‌تواند تعداد زیادی از ورودی‌ها را نسبت به جمع کننده‌های کامل و نیمه جمع کننده‌ها، مدیریت کند، کمپروسورهای تقریبی مختلفی در طراحی ضرب کننده‌ها ارائه شده است [۳-۹-۱۰]. کمپروسور ۴:۲ به صورت گسترده توسط محققان مختلفی که چهار ضرب جزئی را به دو ضرب جزئی کاهش داده‌اند، استفاده می‌شود [۹] [۳]. تمامی ضرب‌های جزئی توسط یک درخت والاس جمع می‌شوند.

در این مقاله با استفاده از اعمال خطاهای همپوشان نرخ خطا و پیچیدگی مدارهای مورد نیاز کاهش یافته است در این تکنیک با اعمال خطا در یک خروجی از مقدار نهایی فاصله مثبت یا منفی می‌توان گرفت لذا با اعمال خطاهای مثبت و منفی به صورت همزمان میزان خطا کم می‌شود از طرفی با اعمال خطاهای همپوشان مدار نهایی برای پیاده سازی نیز ساده تر می‌شود با این شرایط، این تکنیک نیز دارای مزایا و معایب خاص خودش می‌باشد اما از دیدگاه دقت، تمامی روش‌ها دارای فاصله خطا نرمالیزه شده زیاد و نرخ عبور اندک می‌باشند. عملکرد ضرب کننده تخمینی تنها توسط معیارهای مداری مورد بررسی قرار نمی‌گیرد. این مورد همچنین مبتنی بر تفرانس خطا نیز می‌باشد. داشتن خطا کمتر و عملکرد مداری بهتر همواره چالش برانگیز بوده و هست.

آنچه در این مقاله گزارش شده بدین ترتیب است که در بخش ۲ روند طراحی ضرب کننده تقریبی قرارداد شده است، در این بخش

امروزه مدارهای دیجیتال در پیاده سازی پردازنده‌ها، پردازش سیگنال‌های رقمی، سری فوریه و... کاربرد بسیار گسترده‌ی پیدا کرده‌اند [۱]. از کلیدی‌ترین عناصر تشکیل دهنده سیستم‌های دیجیتال، واحدهای محاسباتی است که افزایش کارایی آن‌ها می‌تواند بر روی عملکرد این سیستم‌ها تاثیر بسزایی داشته باشد. از این رو، زیر شاخه بسیار مهمی در علم معماری کامپیوتر به این موضوع اختصاص پیدا کرده است که به نام محاسبات کامپیوتری یا محاسبات دیجیتال شناخته می‌شود [۲]. محاسبات کامپیوتری به بحث در مورد واحدهای محاسباتی مانند جمع کننده و ضرب کننده و همچنین سیستم‌های نمایش اعداد، روش‌های تخمین خطا و غیره می‌پردازد و سعی می‌کند تا کارایی این واحدهای محاسباتی را بهبود بخشد [۱، ۳].

واحد ضرب کننده به صورت گسترده در معماری‌های پردازش سیگنال دیجیتال، میکروپروسسورها، ریزپردازنده‌ها $FPGA^1$ و سیستم‌هایی که شامل: فیلترینگ، رمزنگاری و پردازش تصویر کاربرد دارد [۱، ۴]. انواع مختلف روش‌های محاسباتی کامپیوتری برای اجرای ضرب دیجیتال مورد استفاده قرار می‌گیرند [۵].

عملیات ضرب در اصل از حاصل جمع ضرب‌های جزئی بدست می‌آید در نتیجه مشکل انتشار رقم نقلی که در جمع وجود دارد به ضرب کننده نیز سرایت می‌نماید. ضرب کننده‌ها قابلیت پیاده سازی به صورت سری و موازی را دارند، که پیاده سازی هر کدام، تفاوت بسیار زیادی در مشخصات مدار نسبت به سایر پیاده سازی‌ها ایجاد می‌کند. در ضرب کننده سری که چالش طراحی آن‌ها، تعداد ورودی‌ها و خروجی‌ها، توان مصرفی و فضای مصرفی پایین است، در حالیکه در این مدارها سرعت از اهمیت کمتری برخوردار است. در ضرب کننده موازی سرعت اهمیت بسیاری دارد. مزیت سرعت بالا، در کنار مسایلی همانند مصرف توان، مساحت مصرفی بالا و پایانه‌های ورودی و خروجی زیاد است [۶-۹].

ساختار تمامی ضرب کننده‌های موازی به سه قسمت زیر تقسیم بندی می‌شوند:

۱- تولید حاصل ضرب‌های جزئی

۲- کاهش حاصل ضرب‌های جزئی

۳- جمع نهایی

در مرحله اول برای تولید حاصل ضرب‌های جزئی مضروب و مضروب فیه، بیت به بیت ضرب می‌شوند. در مرحله دوم به روش‌های گوناگون سعی در کاهش حاصل ضرب‌های جزئی است. برای کاهش از واحدی به نام کمپروسور^۲ استفاده می‌شود [۳، ۹-۱۱]. در این مرحله با استفاده از جمع کننده نتیجه نهایی بدست می‌آید.

این سه مرحله می‌توانند با ساختارهایی همانند گیت AND یا الگوریتم بوث^۳ جهت تولید حاصل ضرب جزئی پیاده سازی شود. جمع رقم آزاد عموماً با درخت والاس^۴ یا جمع کننده باینری پیاده‌سازی

روابط ۱ تا ۳ نشان داده شده است. در تمام روابط O_i خروجی دقیق، O'_i خروجی تقریبی و X_i ورودی کمپروسورها است.

رابطه منطقی O_0 دقیق برابر با:

$$O_0 = X_0 \oplus X_1 \oplus X_2 \oplus X_3 \oplus X_4 \quad (1)$$

رابطه منطقی O_1 دقیق برابر با:

$$O_1 = \{(X_0.(X_0 \odot X_1) + (X_2.(X_0 \oplus X_1))) \oplus \{X_3.(X_0 \oplus X_1 \oplus X_2 \oplus X_3) + X_4.(X_0 \oplus X_1 \oplus X_2 \oplus X_3 \oplus X_4)\} \quad (2)$$

و رابطه منطقی O_2 دقیق برابر است با:

$$O_2 = \{(X_0.(X_0 \odot X_1) + (X_2.(X_0 \oplus X_1))) \oplus \{X_3.(X_0 \oplus X_1 \oplus X_2 \oplus X_3) + X_4.(X_0 \oplus X_1 \oplus X_2 \oplus X_3)\} \quad (3)$$

جدول ۱: رابطه بین خروجی واقعی (O_2, O_1)

$X_{[4:0]}$	حاصل جمع	O_2	O_1	O_0	$X_{[4:0]}$	حاصل جمع	O_2	O_1	O_0
0	0	0	0	0	16	1	0	0	1
1	1	0	0	1	17	2	0	1	0
2	1	0	0	1	18	2	0	1	0
3	2	0	1	0	19	3	0	1	1
4	1	0	0	1	20	2	0	1	0
5	2	0	1	0	21	3	0	1	1
6	2	0	1	0	22	3	0	1	1
7	3	0	1	1	23	4	1	0	0
8	1	0	0	1	24	2	0	1	0
9	2	0	1	0	25	3	0	1	1
10	2	0	1	0	26	3	0	1	1
11	3	0	1	1	27	5	1	0	1
12	3	0	1	0	28	3	0	1	1
13	3	0	1	1	29	5	1	0	1
14	3	0	1	1	30	5	1	0	1
15	4	1	0	0	31	5	1	0	1

اگر O_1 که رابطه پیچیده تری دارد را بصورت تقریبی محاسبه کنیم با توجه به ساده سازی آن با جدول کارنو می توان روابط ساده تری هم برای O_2 تقریبی و هم برای O_1 تقریبی بدست آورد. همانطوریکه در شکل ۳ مشاهده می شود در هر خانه ای که علامت ضرب گذاشته شده است خطا رخ داده است و مقدار آن خانه اگر یک باشد صفر در نظر گرفته می شود و اگر صفر باشد یک در نظر گرفته می شود. در این روش خطاهایی که در خروجی O_2 وجود دارد در خروجی O_1 نیز اعمال شده با این شرایط با استفاده از رابطه ۴ خروجی تقریبی برای O_1 را می توان نوشت.

$$O'_1 = \overline{X_4}X_3 + X_4\overline{X_3} + \overline{X_4}X_3 + \overline{X_4}X_0 \quad (4)$$

اگر رابطه فوق را دو بار مکمل کنیم از نظر منطقی تغییر ایجاد نمی شود ولی می توان بجای استفاده از گیت های OR از گیت های منطق NAND استفاده کرد که در این صورت در پیاده سازی سطح ترانزیستور با ترانزیستور کمتری می توان خروجی را بدست آورد، با این توضیحات رابطه O'_1 بصورت زیر است:

ضمن توضیح اولیه درباره چگونگی پیاده سازی یک ضرب کننده پایه ساختار کمپروسورهای تقریبی پیشنهادی و روابط حاکم بر آنها و چگونگی طراحی آنها توضیح داده شده است و در ادامه ساختار ضرب کننده نهایی با استفاده از شکل ها و تصاویر مرحله ای توضیح داده شده است. در بخش ۳ نتایج شبیه سازی کمپروسورهای تقریبی پیشنهادی به همراه ضرب کننده تقریبی ۱۶ بیتی و مقایسه نتایج در قالب نمودارها و جدول ها شرح داده شده است.

۲- طراحی ضرب کننده تقریبی

۲-۱- الگوریتم پایه ضرب

ضرب در نگاهی ساده به روش دستی یک سلسله جمع به همراه جابجایی می باشد که در شکل ۲ نشان داده شده است.

	X_2	X_1	X_0
Y_2	Y_1	Y_0	
X_2*Y_0	X_1*Y_0	X_0*Y_0	
X_2*Y_1	X_1*Y_1	X_0*Y_1	
X_2*Y_2	X_1*Y_2	X_0*Y_2	
P_4	P_3	P_2	P_1
			P_0

شکل ۲: شماتیک ضرب دو عدد ۳ بیتی

توپولوژی های معمول ضرب عبارتند از روش هایی که به طور معمول در طراحی های عمومی مورد استفاده قرار می گیرد این نوع طراحی ها شامل یک سری بهینه سازی طراحی که باعث سهولت در طراحی می گردد. در تمامی ضرب کننده ها، نظم و شکل مناسب ضرب کننده بسیار مورد توجه می باشد. هر ضرب کننده در ابتدا شامل بخشی به نام مرحله تولید حاصل ضرب های جزئی می باشد که جدا از نوع و تکنولوژی ساخت پردازنده شامل یک دروازه AND می باشد. پس از آن هر ضرب کننده با استفاده از روشی، سعی در کاهش این حاصل ضرب های جزئی دارد و در آخر نیز یک جمع کننده وجود دارد تا حاصل نهایی به دست آید.

کمپرسور واحدی است که برای بهبود عمل ضرب کمک می کند. این واحدها در کاهش درخت ضرب و جمع حاصل ضرب های جزئی نقش اساسی دارند. برای ساخت کمپرسورهای بزرگتر و پرفریت تر می توان از کمپرسورهای کوچکتر یا همان کمپرسور پایه مانند کمپرسور (۳:۲) به عنوان بلوک اولیه سازنده آن استفاده کرد.

۲-۲- کمپروسورهای پیشنهادی

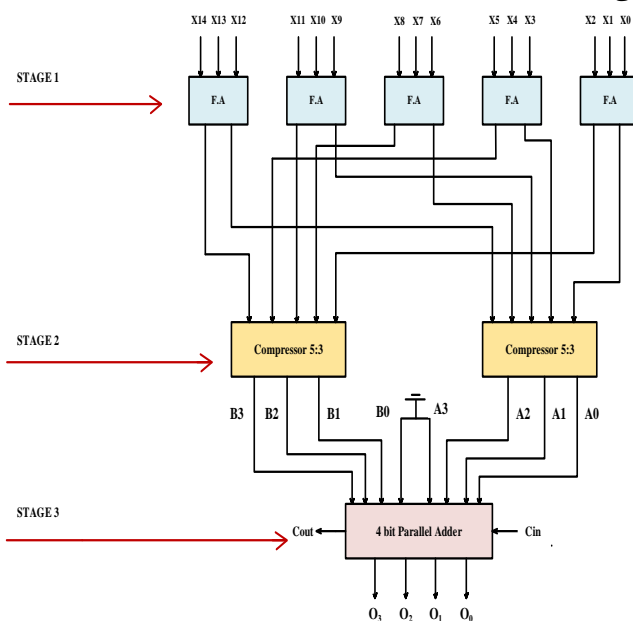
۲-۲-۱- کمپرسور ۵:۳ تقریبی دقیق

این کمپرسور دارای پنج ورودی اولیه (X_0, X_1, X_2, X_3, X_4) و سه خروجی (O_0, O_1, O_2) است. O_2 خروجی تخمینی بوده و O_0, O_1 خروجی دقیق کمپرسور ۵:۳ است. روابط حاکم بر کمپرسور ۵:۳ دقیق اول در

فاصله جتا	O ₀	O ₁	O ₁	O ₂	O ₂	فاصله جتا	X _{12:0}	X _{12:0}				فاصله جتا	
								O ₂	O ₂	O ₁	O ₁		
0	0	0	0	0	0	0	16	0	0	1	0	1	+2
1	0	0	1	0	1	+2	17	0	0	1	1	0	0
2	0	0	0	0	1	0	18	0	0	1	1	0	0
3	0	0	1	1	0	0	19	0	0	1	1	1	0
4	0	0	0	0	1	0	20	0	0	1	1	0	0
5	0	0	1	1	0	0	21	0	0	1	1	1	0
6	0	0	0	0	1	-2	22	0	0	1	1	1	0
7	0	0	1	1	1	0	23	0	1	1	0	0	-2
8	0	0	1	0	1	+2	24	0	0	1	1	0	0
9	0	0	1	1	0	0	25	0	0	1	1	1	0
10	0	0	1	1	0	0	26	1	0	0	1	1	+2
11	0	0	1	1	1	0	27	1	1	0	0	1	0
12	0	0	1	1	0	0	28	0	0	1	1	1	0
13	0	0	1	1	1	0	29	0	1	1	0	1	-2
14	0	0	1	1	1	0	30	1	1	0	0	1	0
15	0	1	1	0	0	-2	31	1	1	0	0	1	0

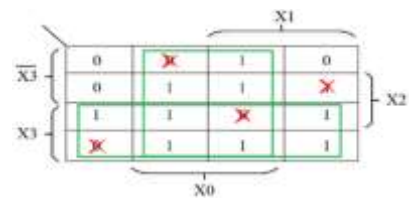
۲-۲-۲- طراحی کمپرسور تقریبی ۱۵:۴ با استفاده از کمپرسور ۵:۳ پیشنهادی

این بخش، طراحی کمپرسور تقریبی ۱۵:۴ را با استفاده از کمپرسور ۵:۳ تقریبی را بیان می‌کند. کمپرسور تقریبی ۱۵:۴ مطابق شکل ۵ پیشنهاد شده است. این کمپرسور دارای ۱۵ ورودی بوده و چهار خروجی تولید می‌کند.

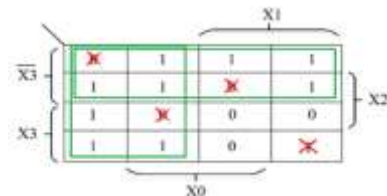


شکل ۵ کمپرسور تقریبی ۱۵:۴ با بهره‌گیری از کمپرسور تقریبی ۵:۳ پیشنهادی همانطور که در شکل ۵ مشخص است، در طراحی این کمپرسور از پنج تمام جمع کننده استفاده شده است و تعداد ورودی‌های جانبی

$$O'_1 = \overline{X_4 \oplus X_3} \cdot (\overline{X_4 X_1}) \cdot (X_4 X_0) \quad (5)$$



(الف)

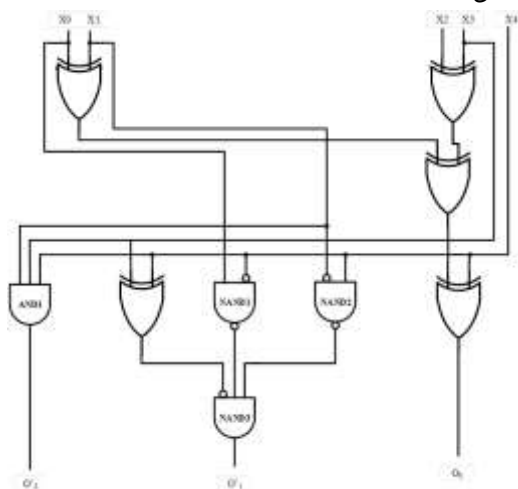


(ب)

شکل ۳: جدول کارنو کمپرسور ۵:۳ تقریبی پیشنهادی برای خروجی O'1 الف: X4 و X4:ب

با توجه به جدول ۲ رابطه منطقی برای O'2 خروجی تقریبی برابر با: $O'_2 = X_4 \cdot X_3 \cdot X_1$ (۶)

۸ حالت متفاوت خروجی کمپرسور پیشنهادی و فاصله خطا در جدول ۲ نشان داده شده است.

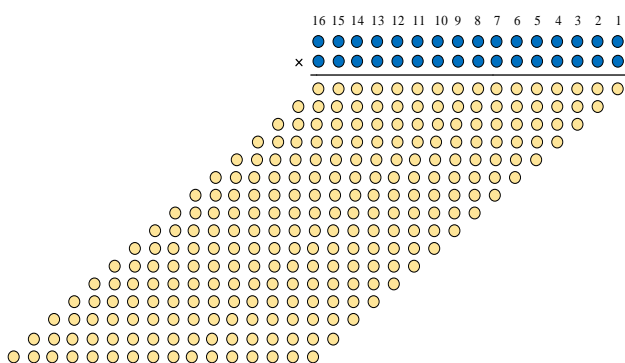


شکل ۴: مدار منطقی کمپرسور ۵ به ۳ تقریبی پیشنهادی

همانطور که در شکل ۴ مشخص است، برای پیاده سازی از گیت‌های XOR و NAND استفاده شده، در این طراحی، مسیر اصلی بین ورودی X0 و خروجی O0 است و چهار گیت XOR در این مسیر اصلی درگیر شده است. در جدول ۲ تمامی حالت‌های خروجی بررسی شده و می‌توان اشاره کرد که خروجی کمپرسور تنها در ۸ حالت متفاوت است و فاصله خطا در تمامی حالت‌های خطا برابر ۲ یا -۲ است، کل نرخ عبور این طراحی برابر ۷۵ درصد است.

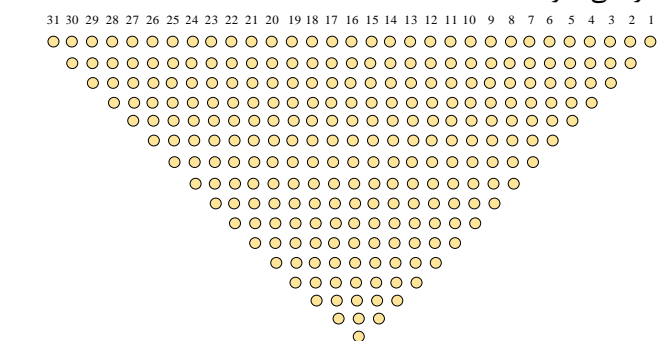
جدول ۲: خروجی واقعی (O₀, O₁, O₂) و تخمین زده شده (O'₁ و O'₂)

کمپرسور ۱۵:۴ در سطر سیزدهم ضرب کننده استفاده شده است. سطر شماره ۱۳ در ضرب کننده دارای ۱۳ ضرب جزئی است. دو صفر در آن ستون جهت استفاده از کمپرسور ۱۵:۴ استفاده شده است.

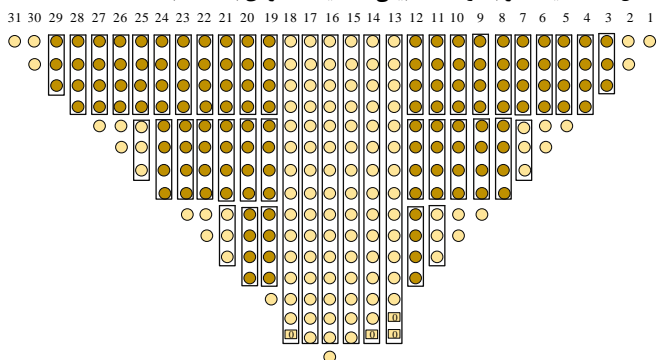


شکل ۶: مرحله اول ضرب دو عدد ۱۶ بیتی

در شکل ۶ برای نمایش بهتر، آن را به کمک شیفت به سمت بالا به شکلی در آورده‌ایم که نمایش بهتری داشته باشد. شکل ۷ همان شکل ۶ است که فقط شیفت به سمت بالا داده شده و تاثیری در نتیجه کار نمی‌گذارد.



شکل ۷: شمایک ضرب دو عدد ۱۶ بیتی که شیفت عمودی به سمت بالا داده شده است



شکل ۸: نمایش کمپرسورهای ۱۵:۴ و ۴:۲ و ۲:۲ در ضرب دو عدد ۱۶ بیتی

به طور مشابه، یک صفر در ستون ۱۴ام اضافه شده است. همراه با کمپرسور ۴-۱۵ ای در ضرب کننده، دیگر کمپرسورهای دقیق مانند ۲:۲، ۴:۲، نیم جمع کننده و تمام جمع کننده برای کاهش ضرب جزئی استفاده شده است. برای درک بهتر ساختار ضرب از رنگ بندی استفاده شده است. رنگ بندی ها منطبق بر شکل‌های ۴ الی ۸ هستند که در آن‌ها خروجی با ارزش 2^n با رنگ آبی، خروجی با ارزش 2^{n+1} با رنگ قرمز، خروجی با ارزش 2^{n+2} و 2^{n+3} و 2^{n+4} که خروجی‌های کمپرسور ۱۵:۴ است با رنگ زرد نشان داده شده است، و رنگ مشکی بیانگر حاصل ضرب‌هایی

نیز برابر ۱ است، این کمپرسور شامل بخش‌های می‌باشد، در بخش اول از پنج عدد کمپرسور ۳:۲ استفاده شده است که ۱۵ ورودی می‌گیرد. هر کمپرسور ۳:۲ سه ورودی اولیه را دریافت کرده و مجموع و رقم نقلی را تولید می‌کند. بخش دوم، از دو عدد کمپرسور ۵:۳ پیشنهادی استفاده شده است، مجموع در تمامی کمپرسورهای ۳:۲ مرحله اول به کمپرسور ۵:۳ داده می‌شود و به طور مشابه، رقم نقلی در جمع کننده کامل به دیگر کمپرسور ۵:۳ داده می‌شود و در بخش سوم، از جمع کننده موازی چهار بیت در سطح نهایی در این کمپرسور استفاده شده است، و تعداد ورودی جانبی در این سطح برابر ۱ است.

۳-۲ الگوریتم ضرب کننده ۱۶ بیتی پیشنهادی

در این مقاله، الگوریتمی برای ساخت یک ضرب کننده ۱۶ بیتی تقریبی ارائه شده است. این الگوریتم با اقتباس از درخت والاس و با استفاده از کمپرسورهای مرتبه بالا و کاهش حاصل ضرب‌های جزئی پیاده سازی شده است. علاوه بر این از نیم جمع کننده و تمام جمع کننده در ستون‌های کناری و در ستون‌های میانی و مراحل آخر ضرب کننده برای کاهش حاصل ضرب‌های جزئی نیز استفاده شده است.

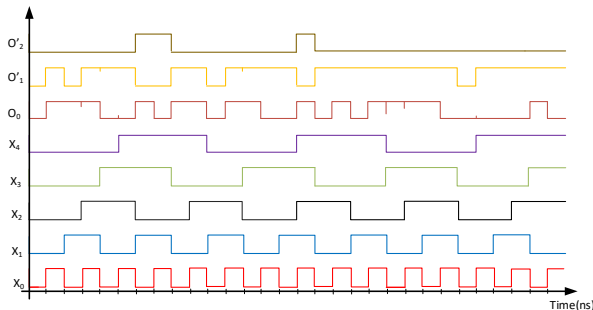
الگوریتم استفاده شده در این ضرب کننده تقریبی بدین شرح است:

- ۱- با شروع از ستون‌های کناری و حرکت به سمت چپ هر تعداد کمپرسور ۴:۲ که امکان پذیر است درج می‌شود.
- ۲- سپس با حرکت از سمت راست به چپ در جایکه نشود از کمپرسور ۴:۲ استفاده کرد از کمپرسور ۱۵:۴ استفاده می‌شود.
- ۳- اگر چند حاصل ضرب جزئی باقی بماند مجدد از کمپرسور ۴:۲ برای کاهش حاصل ضرب‌های جزئی استفاده می‌شود.
- ۴- اگر دو یا سه حاصل ضرب جزئی در هر ستون باقی بماند از نیم جمع کننده و تمام جمع کننده استفاده می‌شود.
- ۵- اگر تنها یک حاصل ضرب جزئی باقی بماند مستقیماً به مرحله بعدی منتقل می‌شود.

ضرب کننده ارائه شده با استفاده از این الگوریتم، در شکل ۶ نشان داده شده است. در این بخش یک دو ورودی ۱۶ در ۱۶ بیتی ضرب می‌شوند، مطابق آنچه در شکل ۶ مشاهده می‌شود، همین‌طور که مشخص شده طبق این نمایش فقط به جای اعداد از دایره استفاده شده است.

حال با استفاده از شکل ۷ به راحتی می‌توان کمپرسورهایی که در این طراحی استفاده شده است را نمایش داد. در شکل ۸ بلوکهای مستطیلی بیانگر استفاده از کمپرسور تقریبی ۱۵:۴ و ۴:۲ و ۲:۲ در ضرب کننده است.

ورودی $(X_0, X_1, X_2, X_3, X_4)$ و سه خروجی (O_0, O_1, O_2) است این ساختار با ولتاژ تغذیه $1/8$ ولت شبیه سازی شده و همچنین در کمپرسور ۵:۳ و ۱۵:۴ از خازن‌هایی با مقدار $200f$ به عنوان بار استفاده شده است. نمودار شکل موج حاصل از کمپرسور ۵:۳ پیشنهادی (O_0, O_1, O_2) در شکل ۱۴ نشان داده شده است.



شکل ۱۴: ورودی و شکل موج حاصل از کمپرسور ۵:۳ تقریبی پیشنهادی خروجی کمپرسور تنها در ۸ حالت ورودی متفاوت است و فاصله خطا برای داشتن ۸ حالت خطا، برابر ۲ یا ۱ است. با توجه به شبیه سازی انجام شده و آنالیز آن، توان و تاخیر در این کمپرسور 0.933 میکرو وات و 0.71 نانوثانیه و فاصله خطا نیز ± 2 به دست آمده است.

کمپرسور ۱۵:۴ دارای پانزده ورودی $(X_0, X_1, X_2, \dots, X_{14})$ و چهار خروجی (O_0, O_1, O_2, O_3) است. ما در این طراحی از پنج تمام جمع کننده و دو کمپرسور ۵:۳ تقریبی پیشنهادی و جمع کننده موازی استفاده کرده‌ایم. هر جمع کننده کامل سه ورودی اولیه را دریافت می‌کند و حاصل جمع و رقم نقلی را تولید می‌کند. مجموع در تمامی جمع کننده‌های کامل به کمپرسور ۵:۳ داده می‌شود و به طور مشابه، رقم نقلی در جمع کننده کامل به دیگر کمپرسور ۵:۳ داده می‌شود و خروجی کمپرسورها به جمع کننده موازی داده می‌شود و در نهایت خروجی‌ها به دست می‌آید. شبیه سازی و آنالیز انجام شده توان و تاخیر در این کمپرسور $4/75$ میکرو وات و $1/12$ نانوثانیه به دست آمده است. در این بخش نتایج کمپرسورهای ۵:۳ مورد بررسی قرار گرفته است، جدول ۳ نرخ عبور و معیارهای مداری یک کمپرسور ۵:۳ را نشان می‌دهد.

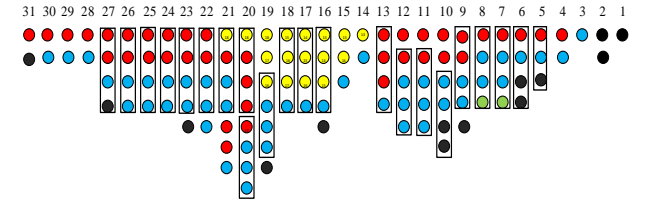
جدول ۳: نتایج شبیه سازی کمپرسورهای ۵:۳

نرخ گذر	عدد شایستگی	درصد خطا	PDP	زمان تاخیر (ns)	توان مصرفی (μW)	کمپرسور ۵:۳
۱۰۰٪	صفر	صفر	۱/۱۰	۰/۹۴	۱/۱۷	دقیق
۸۱/۲۵٪	۱۹/۱۳	۱۸/۷۵	۱/۰۲	۱/۰۱	۱/۰۱	[۱۳]
۷۵٪	۱۷/۷۵	۲۵	۰/۷۱	۰/۷۶	۰/۹۳۵	طرح پیشنهادی

همانطور که انتظار داشتیم، کمپرسور ۵:۳ دقیق دارای تاخیر زیادی بوده و توان بیشتری را نسبت به دیگر طراحی‌ها مصرف می‌کند. طراحی کمپرسور ۵:۳ مرجع [۱۳]، $13/4$ درصد کمتر از مشابه دقیق

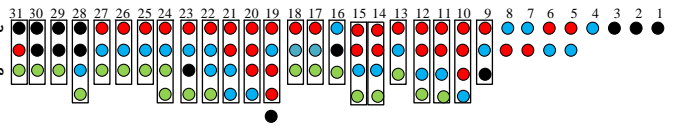
هستند که مستقیم از مرحله قبل انتقال داده شده‌اند و رنگ سبز نیز بیانگر نتیجه حاصل از کمپرسور مرحله قبل است که به عنوان ورودی کمپرسور مرحله مورد نظر استفاده می‌شود.

با بکارگیری کمپرسورهای ۱۵:۴ و ۴:۲ و ۳:۲ شکل ۹ حاصل می‌شود.



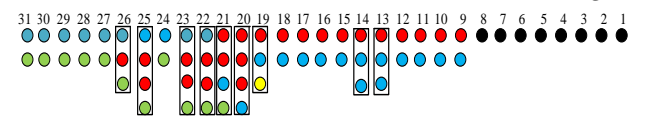
شکل ۹: نتیجه استفاده از کمپرسورهای ۱۵:۴ و ۵:۳

این عمل استفاده از کمپرسور را تا جایی ادامه می‌دهیم که ردیف آخر به یک یا دو دایره (عدد) برسیم، به طور کلی اولویت قرار گیری به ترتیب با کمپرسور ۴:۲ به دلیل کارایی بالاتر است. حالا با توجه به شکل ۹ مرحله دیگری نیاز است که در شکل ۱۰ به تصویر کشیده شده است.



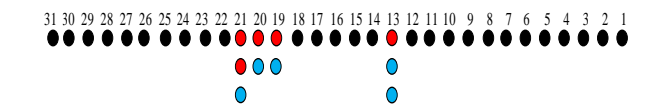
شکل ۱۰: استفاده مجدد از کمپرسور ۴:۲ و ۳:۲ برای کاهش مرحله قبل

با توجه به شکل ۱۰ حاصل جمع ضرب‌های جزئی در شکل ۱۱ نشان داده شده است.



شکل ۱۱: نتیجه حاصل از مرحله سوم

با توجه به شکل ۱۱ حاصل جمع ضرب‌های جزئی در شکل ۱۲ نشان داده شده است.



شکل ۱۲: نتیجه حاصل از مرحله چهارم

با توجه به شکل ۱۲ حاصل جمع ضرب‌های جزئی در شکل ۱۳ نشان داده شده است.



شکل ۱۳: نتیجه نهایی ضرب دو عدد ۱۶ بیتی

چون سطر به یکی رسیده است جواب به دست آمده و دیگر نیازی به ادامه دادن ندارد. همانطور که دیده شد پنج مرحله انجام شد تا به جواب نهایی رسید.

۳- نتایج شبیه سازی

همه سیستم‌های طراحی شده در این مقاله اعم از گیت‌های منطقی و کمپرسورها و ضرب کننده با استفاده از تکنولوژی ۱۸۰ نانومتر CMOS با استفاده از نرم افزار CADENCE در سطح ترانزیستور پیاده‌سازی و شبیه‌سازی شده است. کمپرسور ۵:۳ نیز دارای پنج

طراحی برابر ۷۵ درصد است. بعلاوه، تعداد گیت‌های منطقی در مسیر اصلی کمتر از طراحی دقیق است. این ویژگی منجر به مصرف توان کمتر و سرعت بالاتری نسبت به طرح‌های قبلی، شد. همچنین نتایج به دست آمده برای کمپرسور ۱۵:۴ پیشنهادی نیز به این صورت است که این طرح بهترین نتایج را از لحاظ مصرف انرژی و سرعت فراهم می‌کند. در این طرح،

با استفاده از طرح‌های پیشنهادی کمپرسورها، الگوریتمی برای ساخت یک ضرب کننده ۱۶ بیتی ارائه شده است. این الگوریتم با اقتباس از درخت والاس و با استفاده از کمپرسورهای مرتبه بالا به کاهش حاصل ضرب‌های جزئی می‌پردازد. کل توان به دست آمده برای ضرب کننده ۱۶×۱۶ بیت ۵۶۸ میکرو وات به دست آمد.

مراجع

- [1] Parhi, K.K., VLSI digital signal processing systems: design and implementation. 2007: John Wiley & Sons.
- [2] Flores, I., The logic of computer arithmetic. 1963.
- [3] Momeni, A., et al., Design and analysis of approximate compressors for multiplication. IEEE Transactions on Computers, 2014. 64(4): p. 984-994.
- [4] Kaur, J., N.K. Gahlan, and P. Shukla, Delay Power Performance Comparison of Array Multiplier in VLSI Design. International Journal of Advanced Research in Computer Science and Electronics Engineering, 2012. 1(3): p. 41-44.
- [5] Liu, D., Embedded DSP processor design: Application specific instruction set processors. 2008: Elsevier.
- [6] Abed, S.e., et al., Low power Wallace multiplier design based on wide counters. International Journal of Circuit Theory and Applications, 2012. 40(11): p. 1175-1185.
- [7] Chandravathi, B. and D. Nagaraju, High speed and Area Efficient Rounding Based Approximate Multiplier for Digital Signal Processing. 2018.
- [8] Faraji, H. and M. Mosleh, A fast wallace-based parallel multiplier in quantum-dot cellular automata. International Journal of Nano Dimension, 2018. 9(1): p. 68-78.
- [9] Pishvaie, A., G. Jaberipur, and A. Jahanian, Improved CMOS (4; 2) compressor designs for parallel multipliers. Computers & Electrical Engineering, 2011. 38(6): p. 1703-1716.
- [10] Kwon, O., K. Nowka, and E.E. Swartzlander, A 16-bit by 16-bit MAC design using fast 5: 3 compressor cells. Journal of VLSI signal processing systems for signal, image and video technology, 2002. 31(2): p. 77-89.
- [11] Mehrabi, S. et al., Design, analysis, and implementation of partial product reduction phase by using wide m: 3 ($4 \leq m \leq 10$) compressors. International Journal of High Performance Systems Architecture, 2013. 4(4): p. 231-241.
- [12] Maunika, N.V. and M.V. Devi, A dwindled power and delay of Wallace tree multiplier. International Journal of Engineering and Innovative Technology (IJEIT), 2012. 2(4).
- [13] Marimuthu, R., Y.E. Rezinold, and P.S. Mallick, Design and analysis of multiplier using approximate 15-4 compressor. IEEE Access, 2016. 5: p. 1027-1036.

آن توان مصرف می‌کند و ۶/۹ درصد تاخیر بیشتری نسبت به مدل طراحی دقیق دارد، زیرا این طراحی دارای دوازده‌های منطقی بسیار بیشتر و طول مسیر مداری طولانی تری نسبت به مدل دقیق دارد. در طراحی پیشنهادی، که دو خروجی کمپرسور را تخمین زده‌ایم، ۲۱ درصد توان و ۱۹ درصد سرعت نسبت به طراحی دقیق بهبود یافته است. بعلاوه، شاخص PDP⁷ ۳۵ درصد بهتر شده است، ضمناً تعداد دروازه‌های منطقی در مسیر اصلی کمتر از طراحی دقیق است. همچنین در جدول ۴ نتایج شبیه سازی کمپرسور ۱۵:۴ نشان داده شده است، نتایج نشان می‌دهد کمپرسور پیشنهادی نسبت به طرح دقیق از نظر توان مصرفی ۲۰ درصد بهتر شده و از نظر سرعت ۳۰ درصد افزایش داشته است ضمناً نسبت به طرح مرجع ۱۳، ۵ درصد از نظر سرعت ۳۰ درصد افزایش سرعت داشته است، سایر نتایج در جدول ۴ نشان داده شده است.

جدول ۴: نتایج شبیه سازی کمپرسورهای ۱۵:۴ پیشنهادی به همراه سایر ساختارها

کمپرسور	توان مصرفی (μW)	زمان تاخیر (ns)	PDP (μW) (ns)	درصد خطای %	عدد شایستگی W.S.%/10 ⁻¹⁵
۱۵:۴	۵۲۸	۱۴۶	۷۷۱	صفر	صفر
دقیق	۴۹۸	۱۶۰	۷۹۷	۳۵/۴	۲/۸۲
طرح پیشنهادی	۴۷۵	۱۱۲	۵۳۲	۴۱/۵۷	۲/۲۱

جدول ۵ عملکرد ضرب کننده تقریبی ۱۶×۱۶ بیتی پیشنهادی را نشان می‌دهد. مصرف توان ضرب کننده در طراحی مرجع [۱۳] حدوداً ۵ درصد بهتر از طراحی دقیق است و تاخیر این طراحی بیشتر از طراحی دقیق است. در طرح ضرب کننده پیشنهادی توان مصرفی ۲۵ درصد نسبت به طراحی دقیق کاهش یافته و سرعت این کمپرسور نسبت به طراحی دقیق حدود ۵/۸ درصد افزایش یافته است نهایتاً شاخص PDP، ۲۹ درصد بهتر شده ضمناً نسبت به مرجع ۱۳ شاخص PDP ۵ درصد بهتر شده است. با توجه به شبیه سازی انجام شده نتایج به دست آمده از شبیه سازی ضرب کننده پیشنهادی و سایر ساختارها در جدول ۵ نشان داده شده است.

جدول ۵: نتایج ضرب کننده های مختلف به همراه ضرب کننده پیشنهادی ۱۶×۱۶ بیتی

مراجع	توان مصرفی (μW)	تأخیر (ns)	PDP (10 ⁻¹⁵ J)
ضرب کننده دقیق	۷۵۷	۴۳۶	۳۳۰۰
ضرب کننده دقیق [۱۳]	۵۷۱	۴۲۹	۲۴۵۰
ضرب کننده پیشنهادی	۵۶۸	۴۱۵	۲۳۵۷

۴- نتیجه گیری

در این مقاله، ساختار یک ضرب کننده تقریبی ۱۶ بیتی با بهینه سازی بر روی کمپرسورهای آن ارائه شد. نتایج به دست آمده برای طرح پیشنهادی کمپرسور تقریبی ۵:۳ پیشنهادی به این صورت است که این طرح ۲۰ درصد توان و ۳۰ درصد سرعت بهتری نسبت به طراحی دقیق دارد. در این طراحی، دو خروجی کمپرسور را تخمین زده‌ایم و فاصله خطا در تمامی حالت‌های خطا برابر ۲ یا ۲- است، کل نرخ عبور این

زیر نویس ها

⁵ Error Rate

⁶ Error distance

⁷ Power –Delay-Product

¹ Field Programmable Gate Array

² Compressor

³ Booth

⁴ Wallace